

Запропонований винахід відноситься до галузі радіотехніки, техніки передачі і збереження цифрового кольорового телевізійного сигналу (ЦКТС).

Відомий „Пристрій стиску цифрового кольорового телевізійного сигналу” [1], що містить: блок дискретно-косінусного перетворювача (ДКП), блок провісника, блок оцінки руху, блок квантувача, запам'ятовуючий пристрій, блок керування коефіцієнтом стиску, блок деквантувача, блок зворотнього ДКП, два суматори, блок кодування з перемінною довжиною кодового слова, мультиплексор, блок буферного запам'ятовуючого пристрою.

Недоліком відомого пристрою є наявність ряду переключувань (блочність, розмиття контурів) при відновленні зображення.

Найбільш близьким до запропонованого технічним рішенням, обраним як прототип є „Пристрій стиску цифрових телевізійних сигналів кольорового зображення” [2], що містить: аналогово-цифровий перетворювач (АЦП), блок установки опорного рівня, три регістри, два блоки затримок, два блоки порівняння, три лічильники, елемент АБО, елемент І, комутатор, два блоки пам'яті, блок елементів АБО, формувач коду синхронізації, перетворювач коду, блок керування.

Недоліком пристрою-прототипу є постійна наявність кодів повторень у вихідному сигналі, що приводить до малого коефіцієнта стиску ЦКТС при слабкій кореляції сусідніх елементів.

В основу винаходу поставлена задача створити пристрій усунення надмірності у цифровому кольоровому телевізійному сигналі, який дозволяє досягти високого коефіцієнта стиску кадру телевізійного сигналу без втрати якості відновленого зображення з урахуванням кореляції елементів в середині рядків кадру, або міжкадрами.

Поставлена задача вирішується за рахунок того, що у пристрої-прототипі, який містить аналогово-цифровий перетворювач, блок установки опорного рівня, перший, другий та третій регістри, перший та другий блоки затримок, перший та другий блоки порівняння, перший, другий та третій лічильники, елемент АБО, елемент І, комутатор, перший та другий блоки пам'яті, блок елементів АБО, формувач коду синхронізації, перетворювач коду, блок керування, додатково введені нові зв'язки у всьому пристрої, а також введені блок визначення синхросигналів, генератор тактових імпульсів (ГТІ), четвертий регістр, четвертий лічильник, перший та другий тригери, перший та другий ключові елементи, перший та другий очікуючі мультивібратори, другий та третій елементи І, третій та четвертий блоки затримки, перший та другий генератори пачки імпульсів, другий та третій елементи АБО та компаратор.

Технічний результат, який може бути отриманий при здійсненні винаходу, полягає в підвищенні коефіцієнта стиску ЦКТС без втрати якості відновленого зображення за рахунок усунення статистичної надмірності (внутрікадровий метод стиску ЦКТС), або міжкадрової надмірності (міжкадровий метод стиску ЦКТС).

На фіг. 1 приведена структурна схема запропонованого пристрою. На фіг. 2 приведений графік залежності коефіцієнта стиску ЦКТС від кількості повторень сусідніх елементів рядку кадру зображення. На фіг. 3 приведений графік залежності коефіцієнта стиску ЦКТС від кількості співпадань відповідних елементів поточного та попереднього кадрів телевізійного зображення.

Запропонований пристрій містить блок визначення синхросигналів 1, генератор тактових імпульсів 2, регістри 3, 4, 5 і 6, лічильники 7, 29, 30 і 31, блоки порівняння 8 і 9, блоки пам'яті 11 і 34, тригери 10 і 17, ключові елементи 12 і 21, блоки затримок 15, 18, 19 і 23, елементи І 13, 16 і 24, очікуючі мультивібратори 14 і 22, генератори пачки імпульсів 22 і 25, елементи АБО 26, 27 і 28, компаратор 32, блок елементів АБО 33, перетворювач коду 35, причому входом пристрою є перші входи регістрів 3 і 5 та вхід блоку визначення синхросигналів 1, вихід 1 якого з'єднаний з входами 2 лічильників 29 і 30 та входом 4 компаратора 32, вихід 2 блоку визначення синхросигналів 1 з'єднаний з входом 3 компаратора 32, вихід 3 блоку визначення синхросигналів 1 з'єднаний з входами 3 регістрів 4, 5, 6, входом 2 лічильника 7 та входом 2 елементу АБО 28, вихід 4 блоку визначення синхросигналів 1 з'єднаний з входом 3 блоку пам'яті 11, входом 5 блоку пам'яті 34, вихід ГТІ 2 з'єднаний з входом 1 лічильника 7, входами 2 регістрів 3, 4, 5 і 6, входом 4 блоку пам'яті 11, входом 1 ключового елементу 12, входом 2 ключового елементу 21, входом 2 блоку затримки 15 та входом 5 перетворювача коду 35, виходи 1 регістру 3 з'єднані з входами 1 блоку порівняння 8 та входами 1 блоку пам'яті 11, а вихід 2 регістру 3 з'єднаний з входом 1 регістру 4, виходи регістру 4 з'єднані з входами 2 блоку порівняння 8, виходи 1 регістру 5 з'єднані з входами 1 блоку порівняння 9 та входами 2 блоку пам'яті 34, а вихід 2 регістру 5 з'єднаний з входом 1 регістру 6, виходи регістру 6 з'єднані з входами 2 блоку порівняння 9, вихід лічильника 7 з'єднаний з входами 3 блоків порівняння 8 і 9, входами 2 тригерів 10 і 17, входом блоку затримки 18, входом 2 елементу І 16 та входом 2 елементу І 24, вихід блоку порівняння 8 з'єднаний з входом 1 тригеру 17 та входом 2 блоку пам'яті 11, вихід блоку порівняння 9 з'єднаний з входом 1 тригеру 10, вихід тригеру 10 з'єднаний з входом 2 ключового елементу 12, входом 1 елементу І 16 та входом очікуючого мультивібратору 14, виходи блоку пам'яті 11 з'єднані з входами 1 перетворювача коду 35, вихід ключового елементу 12 з'єднаний з входом 1 елементу АБО 27, вихід елементу І 13 з'єднаний з входом блоку затримки 19, вихід очікуючого мультивібратору 14 з'єднаний з входом генератора пачки імпульсів 25, входами 1 елементів І 13 і 24, входом 1 блоку затримки 15 та входом блоку затримки 23, вихід блоку затримки 15 з'єднаний з входом 3 тригеру 10, вихід елементу І 16 з'єднаний з входом 1 лічильника 31, вихід тригеру 17 з'єднаний з входом 1 ключового елементу 21, вихід блоку затримки 18 з'єднаний з входом очікуючого мультивібратору 22, вихід блоку затримки 19 з'єднаний з входом генератора пачки імпульсів 20, вихід генератора пачки імпульсів 20 з'єднаний з входом 2 елементу АБО 27, вихід ключового елементу 21 з'єднаний з входом 1 елементу АБО 26, вихід очікуючого мультивібратору 22 з'єднаний з входом 2 елементу АБО 26, вихід блоку затримки 23 з'єднаний з входом 1 елементу АБО 28, вихід елементу І 24 з'єднаний з входом 1 блоку пам'яті 34, вихід генератора пачки імпульсів 25 з'єднаний з входом 3 елементу АБО 27, вихід елементу АБО 26 з'єднаний з входом 1 лічильника 29, вихід елементу АБО 27 з'єднаний з входом 1 лічильника 30, вихід елементу АБО 28 з'єднаний з входом 2 лічильника 31, вихід лічильника 29 з'єднаний з входом 1 компаратора 32, вихід лічильника 30 з'єднаний з входом 2 компаратора 32, виходи лічильника 31 з'єднані з входами 3 блоку пам'яті 34 та входами блоку елементів АБО 33, вихід 1 компаратора 32 з'єднаний з входом 2 перетворювача коду 35, а вихід 2 компаратора 32 з'єднаний з входом 3 перетворювача коду 35, вихід блоку елементів АБО 33 з'єднаний з входом 4 блоку пам'яті 34 та входом

2 елементу І 13, виходи блоку пам'яті 34 з'єднані з входами 4 перетворювача коду 35, а вихід перетворювача коду 35 є виходом пристрою.

В запропонованому пристрої блок визначення синхросигналів 1 становить демультіплексор [1, 4], який призначений для визначення синхросигналів цифрового кольорового телевізійного сигналу (ЦКТС), видачі управляючого сигналу наявності синхросигналу початку кадру (СПК) (вихід 1) на другі входи лічильників 29 і 30 та четвертий вхід компаратору 32, видачі управляючого сигналу наявності синхросигналу кінця рядка (СКР) (вихід 2) на третій вхід компаратору 32, видачі управляючих сигналів наявності синхросигналу початку рядка (СПР), синхросигналу кінця рядка (СКР), СПК та СКК (вихід 3) на треті входи регістрів 4, 5, 6, другі входи лічильника 7 та елементу АБО 28, видачі синхросигналів СПР, СКР, СПК, СКК (вихід 4) на третій вхід блоку пам'яті 11 та п'ятий вхід блоку пам'яті 34. Генератор тактових імпульсів 2 призначений для формування тактових імпульсів з частотою, що дорівнює частоті вхідного ЦКТС. Регістр 3 призначений для запису і збереження поточного кадру ЦКТС та видачі 32-ох бітового коду ЦКТС поточної групи. Регістр 4 призначений для запису, збереження і видачі 32 - ох бітового коду групи попереднього кадру ЦКТС. Регістр 5 призначений для запису, збереження і видачі 32 - ох бітового коду ЦКТС поточної групи елементів рядка поточного кадру. Регістр 6 призначений для запису, збереження і видачі 32-ох бітового коду ЦКТС попередньої групи елементів рядка поточного кадру. Лічильник 7 призначений для формування імпульсів з частотою, яка дорівнює  $1/32$  частоти тактових імпульсів, що дозволяє синхронізувати блоки пристрою. Блок порівняння 8 призначений для порозрядного порівняння 32-ох бітового коду ЦКТС поточної групи поточного кадру і 32 - ох бітового коду поточної групи попереднього кадру. При співпаданні всіх відповідних розрядів двох груп, які надходять на входи 1 і 2 блоку порівняння 8 з перших виходів регістрів 3 і 4, на виході блоку порівняння 8 формується сигнал логічної одиниці, інакше - логічного нуля. Блок порівняння 9 призначений для порозрядного порівняння 32 - ох бітового коду ЦКТС поточної групи поточного кадру і 32 - ох бітового коду попередньої групи поточного кадру. При співпаданні всіх відповідних розрядів двох груп, які надходять на входи 1 і 2 блоку порівняння 9 з перших виходів регістрів 5 і 6, на виході блоку формується сигнал логічної одиниці, інакше - логічного нуля. Тригер 10 призначений для збереження і видачі вихідного сигналу блоку порівняння 9. Блок пам'яті 11 призначений для збереження та видачі синхросигналів ЦКТС поточного кадру, однорозрядних кодів наявності повторень відповідних груп елементів поточного та попереднього кадрів, 32 - ох бітових кодів не співпадаючих груп елементів поточного кадру. Ключовий елемент 12 призначений для блокування тактових імпульсів під час знаходження на його вхід 2 логічної одиниці з виходу тригера 10. Елемент 113 призначений для формування імпульсу, який подається до блоку затримки 19. Очікуючий мультівібратор 14 призначений для формування імпульсу, аналогічного імпульсам ГТІ 2, при переході його вхідного сигналу з рівня логічної одиниці в рівень логічного нуля. Блок затримки 15 призначений для затримки проходження сигналу на тривалість тридцять тактових імпульсів. Елемент І 16 призначений для керування станом лічильника 31. Тригер 17 призначений для збереження і видачі вихідного сигналу блоку порівняння 8. Блоки затримок 18 і 19 призначені для затримки сигналу на півперіоду проходження тактових імпульсів. Генератор пачки імпульсів 20 призначений для формування 9 імпульсів, аналогічних імпульсам ГТІ 2, по надходженню на його вхід сигналу з блоку затримки 19. Ключовий елемент 21 призначений для блокування проходження тактових імпульсів під час надходження сигналу логічного нуля, який надходить з виходу тригера 17. Очікуючий мультівібратор 22 призначений для формування імпульсу, аналогічного імпульсам ГТІ 2, при надходженні на його вхід сигналу з блоку затримки 18. Блок затримки 23 призначений для затримки вхідного імпульсу на час запису коду повторень груп поточного кадру з виходу лічильника 31 у блок пам'яті 34. -Елемент І 24 призначений для формування імпульсу запису кодів груп елементів і кодів повторень груп у блок пам'яті 34. Генератор пачки імпульсів 25 призначений для формування двох імпульсів, аналогічних імпульсам ГТІ 2, по надходженню на його вхід сигналу з очікуючого мультівібратора 14. Елемент АБО 26 призначений для керування станом лічильника 29. Елемент АБО 27 призначений для керування станом лічильника 30. Елемент АБО 28 призначений для установки лічильника 31 у нульовий стан. Лічильник 29 призначений для формування коду, причому чисельно код виражає кількість розрядів елементів зображення кадру, який стиснуто міжкадровим методом. Лічильник 30 призначений для формування коду, причому чисельно код виражає кількість розрядів елементів зображення кадру, який стиснуто внутрікадровим методом. Лічильник 31 призначений для формування 9-ти розрядного коду повторень груп, причому чисельно код виражає кількість послідовно співпадаючих груп елементів зображення рядка поточного кадру. Компаратор 32 призначений для порівняння кодів, які надходять на входи 1 і 2 з лічильників 29 і 30, відповідно, та видачі результату порівняння до перетворювача коду 35. Блок пам'яті 34 призначений для збереження та видачі до перетворювача коду 35 синхросигналів ЦКТС, 32 - ох бітових кодів груп елементів, однорозрядних кодів наявності повторень груп елементів, 9-ти розрядних кодів повторень груп елементів ЦКТС. Перетворювач коду 35 призначений для формування вихідного стиснутого ЦКТС.

Робота запропонованого пристрою полягає в наступному. У вихідному стані регістри 3, 4, 5, 6 і лічильники 29, 30 та 31 обнулені, на виході тригера 10 встановлена логічна одиниця. На вхід пристрою надходить ЦКТС, що складається з СПК, СПР, СКР, СКК та рядків елементів зображення кадру і складаються з 32 - ох бітових кодів груп [5].

На вхід пристрою надходить перший кадр ЦКТС, який послідовно записується в регістр 3, та в регістр 5, а також поступає на вхід блоку визначення синхросигналів 1. З виходу 1 блоку визначення синхросигналів 1 управляючий сигнал наявності синхросигналу початку кадру (СПК) поступає до других входів лічильників 29 і 30 та на четвертий вхід компаратору 32, що встановлює їх у нульовий стан. З виходу 3 блоку 1 надходить управляючий імпульс наявності синхросигналу на входи 3 регістрів 4, 5 і 6, вхід 2 лічильника 7, вхід 2 елементу АБО 28, дозволяючи цикл роботи. З виходу 4 блоку 1 СПК (як і інші синхросигнали кадру) записується у блок пам'яті 11 (вихід 3) та у блок пам'яті 34 (вихід 6).

При надходженні 32 - ох бітового коду першої групи, що складається з 2 - ох відліків яскравості і 2 - ох відліків кольорорізних сигналів [1, 5], на вхід 1 регістру 5 з приходом кожного тактового імпульсу з ГТІ 2 код першої групи послідовно записується у 32 - ох розрядний регістр 5. По заповненню всіх 32 - ох розрядів, паралельний код

першої групи з перших виходів регістру 5 надходить на входи 1 блоку порівняння 9 і входи 2 блоку пам'яті 34. У цей же момент, із виходу лічильника 7 на дозволяючий вхід 3 блоку порівняння 9 надходить імпульс, який дозволяє операцію порівняння. Тому що це перша група (тобто на вхід 1 регістру 6 ще не надходило сигналу і на його виходах знаходиться рівень логічного нуля), на виході блоку порівняння 9 буде сигнал логічного нуля, який надходить на перший вхід тригера 10. На другий вхід тригера 10 надходить імпульс з лічильника 7, який дозволяє роботу тригера 10. Тому що на виході тригера 10 у вихідному стані встановлена логічна одиниця, то по приходу на перший вхід тригера 10 сигналу логічного нуля, на виході тригера встановиться рівень логічного нуля. При надходженні на вхід очікуючого мультівібратору 14 сигналу логічного нуля, на його виході формується імпульс, який надходить в блок затримки 15, де він затримується на тривалість проходження тридцяти імпульсів ГТІ 2. З наступним тактовим імпульсом сигнал з виходу блока затримки 15 поступає на керуючий вхід 3 тригера 10 та встановлює на виході тригера 10 логічну одиницю, що дозволяє установити тригер 10 у початковий стан перед початком його роботи, а також не блокувати ключовий елемент 12 та блокувати елемент І 16 під час неспівпадання груп у блоці порівняння 9. При цьому, компенсувати один імпульс, який не надходить, у такому випадку, через ключовий елемент 12 та елемент АБО 27 на вхід 1 лічильника 30 дозволяє другий імпульс, який надходить з виходу генератора пачки імпульсів 25. Також сигнал очікуючого мультівібратору 14 поступає на перший вхід елемента І 24, на другий вхід якого надходить синхронізуючий імпульс з виходу лічильника 7. У цьому випадку, з виходу елемента І 24 надходить керуючий сигнал на вхід 1 блоку пам'яті 34. Даний сигнал дозволяє запис коду першої групи в пам'ять (тому що код поточної групи з виходу 1 регістра 5 не збігається з кодом попередньої групи з виходу регістра 6).

З приходом наступного тактового імпульсу з блоку ГТІ 2 на керуючі входи 2 регістрів 5 і 6, із другого виходу регістра 5 починається запис поточної групи в послідовному вигляді в регістр 6 та наступної групи поточного кадру - в регістр 5. По заповненню усіх 32 - ох розрядів регістра 6 з виходу лічильника 7 надходить дозволяючий імпульс на вхід блоку порівняння 9. У випадку порозрядної рівності двох послідовних груп (сигналів з виходів 1 регістрів 5 і 6) на виході схеми порівняння 9 формується сигнал логічної одиниці, який надходить на вхід тригера 10. З приходом тактового імпульсу з виходу лічильника 7 на виході тригера 10 встановлюється сигнал логічної одиниці. У цьому випадку, з виходу елемента І 16 на перший вхід лічильника 31 надходить імпульс, який збільшує стан лічильника 31 на одиницю. Таким чином, лічильник 31 рахує кількість послідовно співпадаючих груп елементів зображення поточного кадру. У випадку неспівпадання груп на виходах 1 і 2 блоку порівняння 9, з його виходу на перший вхід тригера 10 надходить рівень логічного нуля, що, як показано вище, дозволить у блок пам'яті 34 записати по заданих адресах код поточної групи елементів і 9-ти розрядний код повторень груп елементів, який формується лічильником 31. Імпульс з виходу очікуючого мультівібратору 14, через блок затримки 23, надходить на перший вхід елемента АБО 28. На другий вхід елемента АБО 28 надходить керуючий імпульс з виходу 3 блоку визначення синхросигналу 1. З виходу елемента АБО 28 сигнали надходять на другий вхід лічильника 31, що після запису в блоці пам'яті 34 коду поточної групи елементів і 9-ти розрядного коду повторень груп елементів, установлює лічильник 31 у нульовий стан.

Для запису розряду наявності коду повторень приділяється один біт. У випадку повторень груп, хоча б один з виходів лічильника 31 відмінний від нуля. Тоді на виході блоку елементів АБО 33 встановлюється логічна одиниця, яка записується в розряді наявності коду повторень блоку пам'яті 34. У випадку відсутності коду повторень груп на усіх виходах лічильника 31 встановлюється рівень логічного нуля, а на виході блоку елементів АБО 33 - нульовий потенціал, який запише в розряд наявності коду повторень логічний нуль.

У блоці пам'яті 34 відбувається запис і збереження синхросигналів, кодів груп елементів, розрядів наявності повторень груп і кодів повторень груп за зазначеними адресами, а також видача вищезазначених сигналів на четверті входи перетворювача коду 35.

Таким чином, іде внутрікадровий стиск ЦКТС за рахунок передачі замість корелюючий кодів груп коду повторень послідовних груп елементів поточного кадру.

На вхід 1 ключового елемента 12 поступають тактові імпульси з виходу ГТІ 2, а на управляючий вхід 2 ключового елемента 12 надходить імпульс з тригера 10, який забороняє проходження тактових імпульсів через ключовий елемент 12 на час співпадання послідовних кодів груп рядка кадру. Лічильник 30 збільшує свій стан при надходженні на вхід 1 імпульсів з виходу елемента АБО 27 під час не співпадання послідовних кодів груп. Це дозволяє визначити кількість розрядів, необхідних для передачі поточного кадру, який зберігається в блоці пам'яті 34. Лічильник 30 також збільшує свій стан на дві одиниці по надходженню на його вхід 1 двох імпульсів з виходу генератора пачки імпульсів 25 (пачка дорівнює 2 імпульсам, які аналогічні тактовим імпульсам ГТІ 2) через елемент АБО 27, що дозволяє врахувати наявність у вихідному стиснутому сигналі розряду наявності коду повтору груп елементів та випадок, який розглянуто вище. При надходженні на вхід 1 елемента І 13 імпульсу з виходу очікуючого мультівібратору 14 та на вхід 2 імпульсу наявності коду повторень груп елементів з виходу блоку елементів АБО 33, на виході елемента І 13 формується імпульс, який через блок затримки 19 поступає на вхід генератора пачки імпульсів 20. По передньому краю імпульсу генератор пачки імпульсів 20 формує пачку з 9 імпульсів, аналогічних тактовим імпульсам, але з затримкою на півперіоду їх слідкування (через затримку імпульсу у блоці затримки 19). Таким чином, при зникненні кореляції між послідовними групами елементів поточного кадру лічильник 30 збільшує свій стан на 9 розрядів, які необхідні для передачі 9 - бітового коду повторень груп елементів поточного кадру. Лічильник 30 рахує кількість розрядів, необхідних для передачі кадру, який стиснуто внутрікадровим методом та зберігається у блоці пам'яті 34.

Вхідний сигнал ЦКТС також поступає на вхід регістру 3, розрядність якого співпадає з розрядністю одного кадру ЦКТС. З виходів 1 регістру 3 сигнал з перших 33 розрядів регістру, що відповідає паралельному коду першої групи, надходить на входи 1 блоку порівняння 8 і входи 1 блоку пам'яті 11. У цей же момент, із виходу лічильника 7 на дозволяючий вхід блоку порівняння 8 надходить імпульс, який дозволяє операцію порівняння. Тому що це перша група (тобто на вхід 1 регістру 4 ще не надходило сигналу і на його виходах знаходиться рівень логічного нуля) на виході блоку порівняння 8 буде сигнал логічного нуля, що надходить на другий вхід

блоку пам'яті 11 та записується по заданій адресі, а також дозволяє запис поточної групи на входах 1 блоку пам'яті 11. З виходу блоку порівняння 8 сигнал логічного нуля також надходить на перший вхід тригера 17. На другий вхід тригера 17 поступає імпульс з лічильника 7, який дозволяє роботу тригера 17. На виході тригера 17 встановиться рівень логічного нуля, який подається на перший вхід ключового елементу 21, відкриваючи його. На вхід 2 ключового елементу 21 поступають імпульси з виходу ГТІ 2, які надходять на вхід 1 лічильника 29 через відкритий ключовий елемент 21 та елемент АБО 26. При цьому, з прибуттям імпульсу з виходу лічильника 7 на виході блоку затримки 18 з'являється імпульс, який затримується на півперіоду проходження тактових імпульсів, та надходить на вхід очікуючого мультівібратора 22. По приходу сигналу логічної одиниці очікуючий мультівібратор 22 формує імпульс, аналогічний тактовому імпульсу, що поступає через елемент АБО 26 на вхід 1 лічильника 29, який збільшує стан лічильника 29 на одиницю. Це дозволяє врахувати розряд наявності кореляції між відповідними групами поточного та попереднього кадрів. Випадок порозрядної не рівності двох груп поточного та попереднього кадрів (сигналів з виходів 1 регістрів 3 і 4) розглянуто вище. Лічильник 29 рахує кількість розрядів, необхідних для передачі кадру, який зберігається у блоці пам'яті 11.

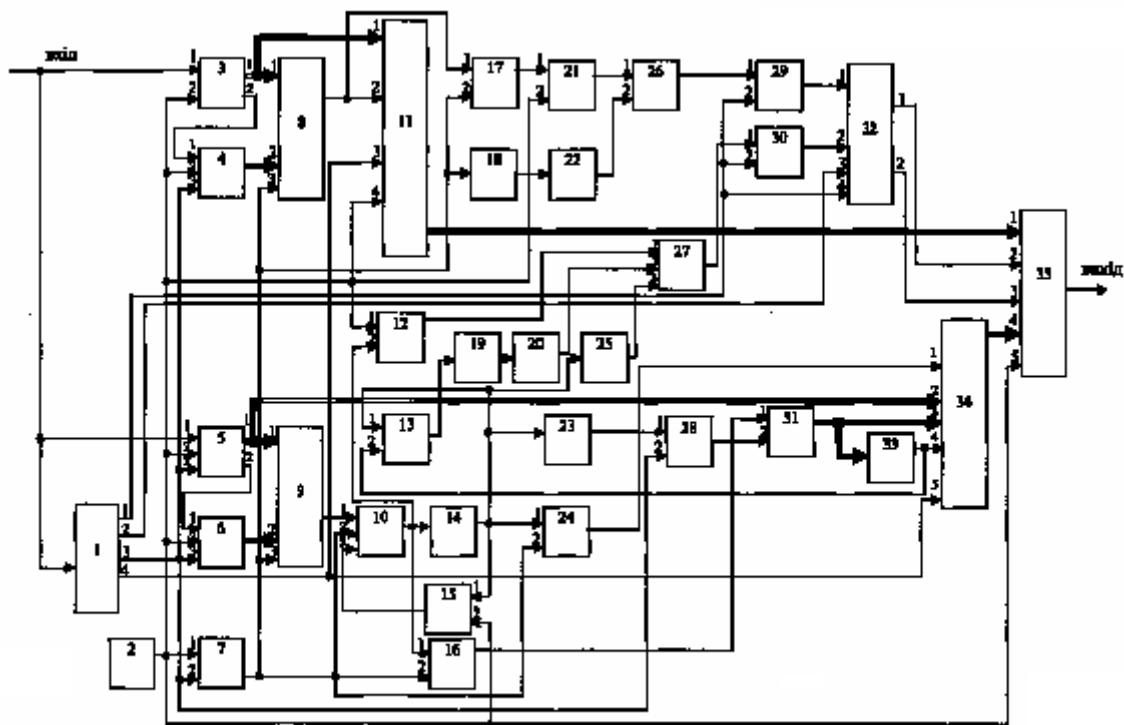
По надходженню з виходу 2 блока визначення синхросигналів 1 управляючого сигналу наявності синхросигналу кінця кадру (СКК) на вхід 3 компаратору 32 здійснюється порівняння значень двійкових кодів, які надходять з лічильників 29 та 30 на входи 1 і 2 компаратору 32, відповідно, і вибір мінімального значення коду. У випадку, коли значення коду, який поступає з виходу лічильника 30, менше значення коду, який поступає з виходу лічильника 29, на другому виході компаратору 32 формується імпульс, який надходить до входу 3 перетворювача коду 35 та дозволяє зчитування інформації з блоку пам'яті 34 в перетворювач коду 35 і формування вихідного стиснутого кадру. Причому, перетворювач коду 35 у вихідний сигнал після СПК додає розряд, в якому записаний логічний нуль. Інакше, з першого виходу компаратору 32 надходить управляючий імпульс на вхід 2 перетворювача коду 35, і дозволяє зчитування інформації з блоку пам'яті 11 в перетворювач коду 35 і формування вихідного стиснутого кадру з логічною одиницею після СПК, що дозволяє на прийомній стороні правильно відновити стиснуте зображення.

З прибуттям на вхід пристрою наступного кадру (далі - поточного) операції розпізнання синхросигналів та внутрікадровий стиск зображення відбувається так, як наведено вище. З приходом наступного тактового імпульсу з ГТІ 2 на керуючі входи 2 регістрів 3 і 4 поточний кадр починає записуватися у регістр 3, а із другого виходу регістра 3 починається запис попереднього кадру по групах в послідовному вигляді у 32 - ох розрядний регістр 4. По заповненню 32-ох розрядів регістру 4 з виходу лічильника 7 надходить дозволяючий імпульс на вхід блоку порівняння 8. У випадку порозрядної рівності двох груп поточного та попереднього кадрів (сигналів з виходів 1 регістрів 3 і 4) на виході схеми порівняння 8 формується сигнал логічної одиниці, який надходить на вхід 2 блоку пам'яті 11 та записується за заданою адресою. При цьому, входи 1 блоку пам'яті 11 знаходяться у запертому стані. Сигнал логічної одиниці з виходу блоку порівняння 8 поступає на вхід 1 тригера 17. З приходом тактового імпульсу з виходу лічильника 7 на вхід 2 тригера 17 на його виході встановлюється сигнал логічної одиниці, який надходить до першого входу ключового елементу 21. У цьому випадку, в ключовому елементі 21 блокується вихід і тактові імпульси, які надходять до входу 2 ключового елементу 21 не проходять на його вихід. При цьому, як розглянуто вище, лічильник 29 збільшує свій стан на одиницю і рахує кількість розрядів, необхідних для передачі кадру, який стиснуто міжкадровим методом.

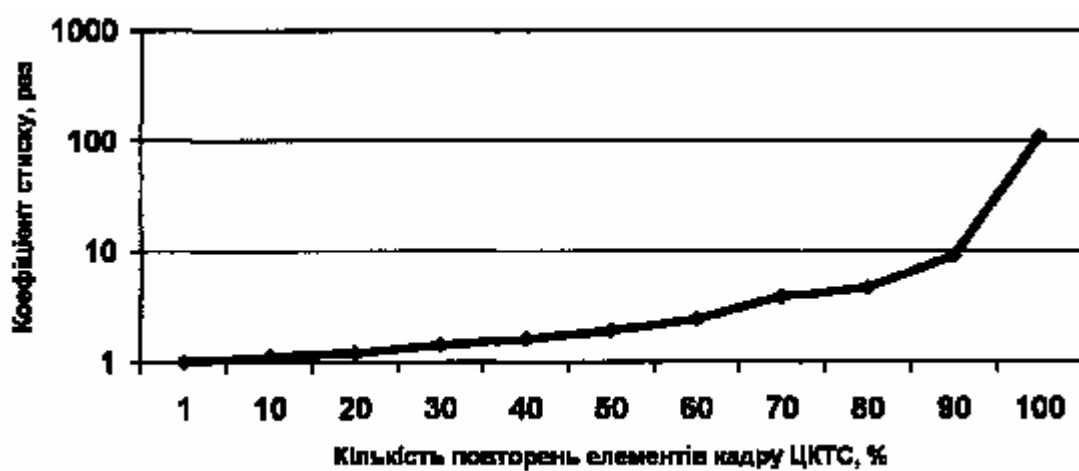
У блоці пам'яті 11 записується, зберігається та видається до перетворювача коду 35 інформація щодо стиснутого міжкадровим методом кадру: коди синхросигналів кадру, розряди наявності повторення відповідних груп кадрів, поточного та, відносно нього, попереднього, і самі групи. У випадку порозрядної рівності відповідних груп поточного та попереднього кадрів в розряд наявності повторення груп блоку пам'яті 11 (вхід 2) записується одиниця. Інакше - записується нуль та значення групи поточного кадру.

Як показано вище, перетворювач коду 35 формує кадр за тим методом, об'єм котрого після стиску мінімальний. Таким чином, у пропонуємому пристрої формується потік стиснутих кадрів ЦКТС, причому кожний кадр стискується внутрікадровим та міжкадровим методами (врахується кореляція з попереднім кадром), а в лінію зв'язку передається кадр, який стиснуто за тим методом, при якому об'єм ЦКТС мінімальний.

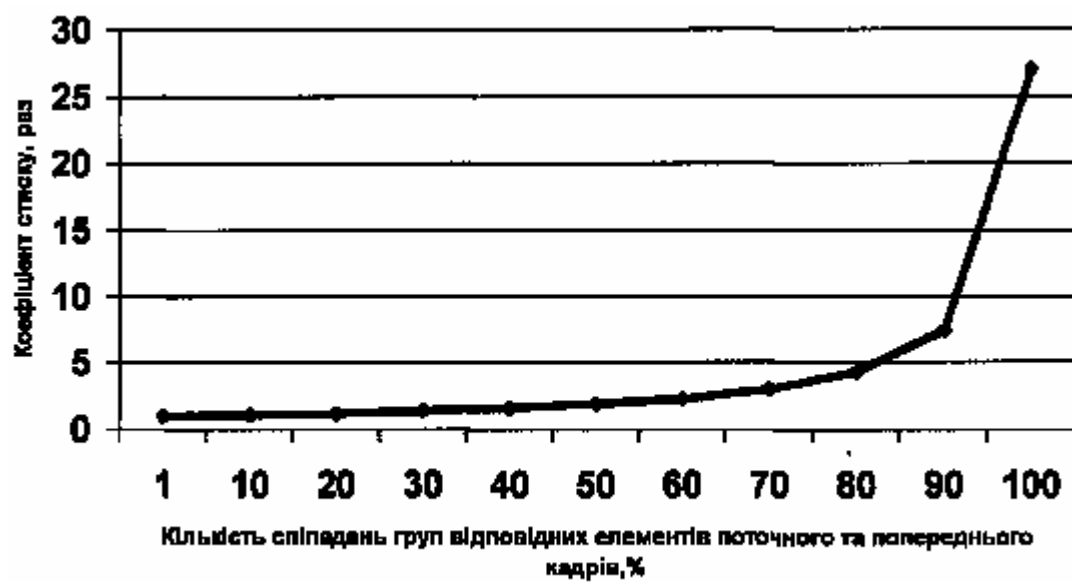
Позитивний ефект, який досягається при здійсненні винаходу полягає в тому, що пристрій стиску телевізійного сигналу, в залежності від вхідного сигналу усуває статистичну надмірність ЦКТС (максимальний коефіцієнт стиску кадру зображення в запропонованому пристрої % 110 разів), або між-кадрову надмірність (максимальний коефіцієнт стиску кадру зображення в запропонованому пристрої » 28 разів), що дозволяє скоротити обсяг пам'яті для збереження кодів ЦКТС і час їхньої передачі по каналах зв'язку без втрати якості відновленого сигналу.



Фиг. 1



Фиг. 2



Фиг. 3