

Программируемый формирователь шумоподобных сигналов, содержащий генератор тактовых импульсов, первый и второй счетчики, первый, второй и третий цифро-аналоговые преобразователи, блок постоянного запоминающего устройства, накапливающий сумматор, фильтр нижних частот, D-триггер, первый и второй мультиплексоры, формирователь кода фазы, формирователь кода адреса, при этом первый выход генератора тактовых импульсов соединен с тактовым входом первого счетчика, второй выход генератора тактовых импульсов соединен с тактовым входом второго счетчика и входом формирователя кода фазы, выход переноса второго счетчика соединен с входом синхронизации D-триггера, S-вход которого соединен с выходом переноса первого счетчика, прямой выход D-триггера соединен с входом обнуления первого счетчика и входом управления второго мультиплексора, инверсный выход D-триггера соединен с входом обнуления второго счетчика, входом управления первого мультиплексора и адресным входом формирователя кода адреса, первый и второй выходы которого соединены соответственно с входом выбора канала Формирователя кода фазы и первым адресным входом блока постоянного запоминающего устройства, информационный выход первого счетчика соединен с адресным входом первого мультиплексора, первый, второй, третий и четвертый выходы которого соединены соответственно с входом обнуления накапливающего сумматора, с входом записи третьего цифро-аналогового преобразователя, с входом записи второго цифро-аналогового преобразователя и входом записи первого цифро-аналогового преобразователя, выход которого соединен с входом фильтра нижних частот, выход которого является первым выходом устройства, информационный выход второго счетчика соединен с первым информационным входом формирователя кода адреса и информационным входом второго мультиплексора, выход которого соединен с входом первого цифро-аналогового преобразователя, первый выход формирователя кода фазы соединен со вторым адресным входом блока постоянного запоминающего устройства и входом формирователя кода адреса, второй выход формирователя кода фазы соединен с тактовым входом накапливающего сумматора, информационный вход и выход которого соединены соответственно с выходом блока постоянного запоминающего устройства и с информационным входом третьего цифро-аналогового преобразователя, первый и второй выходы которого соединены соответственно с входом второго цифро-аналогового преобразователя и первым входом опорного напряжения первого цифро-аналогового преобразователя, выход второго цифро-аналогового преобразователя соединен со вторым входом опорного напряжения первого цифро-аналогового преобразователя, D-вход D-триггера соединен с входом разрешения счета второго счетчика и входом разрешения формирователя кода адреса и является входом "Пуск" устройства, второй информационный вход формирователя кода адреса соединен с информационным входом формирователя кода фазы и является входом управления устройством, вход опорного напряжения третьего цифро-аналогового преобразователя соединен со входом опорного напряжения второго цифро-аналогового преобразователя и является входом опорного напряжения, второй информационный вход второго мультиплексора является входом управления устройством, формирователь кода фазы содержит первый и второй регистры памяти, мультиплексор, селектор адреса, приемо-передатчик, а также первый, второй, ..., **N-ый** накопители кода фазы, при этом информационный выход первого регистра памяти соединен с адресным входом мультиплексора, первый и второй выходы селектора адреса соединены соответственно с входом управления первого регистра памяти и входом управления второго регистра памяти, информационный выход которого соединен с входами микрокоманд первого, второго, ..., **N-ro** накопителя кода фазы, выход мультиплексора соединен с входом записи второго регистра памяти, выход первого регистра памяти соединен с входом управления приемопередатчика, входы выбора каналов первого, второго, ..., **N-ro** накопителей кодов фазы объединены и являются входом выбора канала формирователя кода фазы, стробирующий вход мультиплексора является входом формирователя кода фазы, информационный вход мультиплексора соединен с информационными входами первого и второго регистров памяти, информационным входом приемо-передатчика и адресно-управляющим входом селектора адреса и является информационным входом формирователя кода фазы, первые входы первого, второго, ..., **N-ro** накопителей кода фазы соединены с первым выходом мультиплексора, реверсивные входы первого, второго, ..., **N-ro** накопителей кода фазы соединены с выходами селектора адреса, первого регистра памяти и приемо-передатчика и является первым выходом формирователя кода фазы, второй выход мультиплексора соединен со вторыми входами первого, второго, ..., **N-ro** накопителей кода фазы и является вторым выходом формирователя кода фазы, формирователь кода адреса содержит регистр памяти, дешифратор, первый и второй мультиплексоры, при этом выход первого мультиплексора соединен с информационным входом дешифратора, вход управления и информационный выход которого являются соответственно адресным входом и первым выходом формирователя кода адреса, информационный вход второго мультиплексора соединен с выходом регистра памяти, информационный вход которого является вторым информационным входом формирователя кода адреса, вход записи регистра памяти соединен с адресно-информационным входом первого мультиплексора и является

входом формирователя кода адреса, адресный вход, вход разрешения и выход второго мультиплексора являются соответственно первым информационным входом, входом разрешения и вторым выходом формирователя кода адреса, **отличающийся** тем, что в него введены генератор высокочастотных колебаний, амплитудный селектор, контроллер импеданса и компаратор, неинвертирующий вход которого является входом логической "1", инвертирующий вход подключен к инверсному выходу D-триггера, а выход соединен со входом питания генератора высокочастотных колебаний, вход модуляционных сигналов которого соединен с выходом фильтра нижних частот, первый выход является вторым выходом устройства, второй выход соединен со входом амплитудного селектора, а третий выход подключен ко вход-выходу контроллера импеданса, информационный вход которого соединен с третьим информационным выходом формирователя кода адреса и информационным входом амплитудного селектора, а выход соединен с выходом амплитудного селектора и подключен ко входу управления устройством, контроллер импеданса содержит первый и второй инверторы, первый и второй коммутаторы, цифро-аналоговый преобразователь, шинный формирователь, компаратор, четыре резистора и двуханодный стабилитрон, при этом выход первого инвертора подключен к первому входу управления первого коммутатора, а вход соединен со вторым входом управления первого коммутатора и вторым информационным выходом формирователя кода адреса, который вторым информационным выходом соединен с информационным входом цифро-аналогового преобразователя и входом управления шинного формирователя, выход которого соединен со входом управления устройством, а информационный вход соединен с выходом компаратора, неинвертирующий вход которого подключен к выходу цифро-аналогового преобразователя, а инвертирующий вход соединен с первым выводом первого резистора, первым и вторым входами-выходами второго коммутатора, первый вход управления которого соединен с выходом второго инвертора, второй вход управления соединен со входом второго инвертора и вторым информационным выходом формирователя кода адреса, третий и четвертый входы-выходы соединены соответственно с третьим выходом генератора высокочастотных колебаний и вторым резистором, второй вывод которого подключен к источнику напряжения с нулевым потенциалом, второй вывод первого резистора соединен с первым и вторым входами-выходами первого коммутатора и с первым выводом двуханодного стабилизатора, второй вывод которого подключен к источнику напряжения с нулевым потенциалом, третий и четвертый входы-выходы первого коммутатора соединены соответственно через третий и четвертый резисторы с источниками положительного и отрицательного потенциалов, амплитудный селектор содержит шинный формирователь и компаратор, инвертирующий вход которого подключен ко второму выходу генератора высокочастотных колебаний, неинвертирующий вход подключен к резистивному делителю, первый вывод которого соединен с источником напряжения с нулевым потенциалом, второй вывод подключен к выходу компаратора и первому выводу нагрузочного резистора, второй вывод которого соединен с источником питания и входом питания компаратора, выход компаратора соединен с информационным входом шинного формирователя, вход управления которого подключен к третьему выходу формирователя кода адреса, а выход соединен с входом управления устройством.