



УКРАЇНА

(19) UA (11) 15884 (13) C1

(51)5 G 01 F 1/02; H 03 B 19/00

ДЕРЖАВНЕ
ПАТЕНТНЕ
ВІДМОВСТВООПИС ДО ПАТЕНТУ
НА ВІНАХІД

(54) ПРОГРАМОВАНИЙ ФОРМУВАЧ ШУМОПОДІБНИХ СИГНАЛІВ

1

(21) 93070739

(22) 15.12.92

(24) 30.06.97

(46) 30.06.97, Бюл. № 3

(56) Авторское свидетельство СССР
№ 1739472, кл. H 03 B 19/00, опубл. 1992.(72) Боронов Ігор Юрійович, Лобарев Ва-
лерій Євгенійович, Ординський Анатолій
Борисович, Павленко Віктор Олександрович

(73) Медична фірма "Амекс" (UA)

(57) Программируемый формирователь шу-
моподобных сигналов, содержащий генера-
тор тактовых импульсов, первый и второй
счетчики, первый, второй и третий цифро-
аналоговые преобразователи, блок постоян-
ного запоминающего устройства, накаплива-
ющий сумматор, фильтр нижних
частот, D-триггер, первый и второй мульти-
плексоры, формирователь кода фазы, фор-
мирователь кода адреса, при этом первый
выход генератора тактовых импульсов сое-
динен с тактовым входом первого счетчика,
второй выход генератора тактовых импуль-
сов соединен с тактовым входом второго
счетчика и входом формирователя кода фа-
зы, выход переноса второго счетчика соеди-
нен с входом синхронизации D-триггера,
S-вход которого соединен с выходом пере-
носа первого счетчика, прямой выход D-
триггера соединен с входом обнуления
первого счетчика и входом управления вто-
рого мультиплексора, инверсный выход D-
триггера соединен с входом обнуления
второго счетчика, входом управления пер-
вого мультиплексора и адресным входом
формирователя кода адреса, первый и вто-
рой выходы которого соединены соответст-
венно с входом выбора канала
формирователя кода фазы и первым адрес-
ным входом блока постоянного запоминаю-
щего устройства, информационный выход
первого счетчика соединен с адресным вхо-

2

дом первого мультиплексора, первый, вто-
рой, третий и четвертый выходы которого
соединены соответственно с входом обну-
ления накапливающего сумматора, с вхо-
дом записи третьего цифро-аналогового
преобразователя, с входом записи второго
цифро-аналогового преобразователя и вхо-
дом записи первого цифро-аналогового пре-
образователя, выход которого соединен с
входом фильтра нижних частот, выход кото-
рого является первым выходом устройства,
информационный выход второго счетчика
соединен с первым информационным вхо-
дом формирователя кода адреса и информа-
ционным входом второго мультиплексора,
выход которого соединен с входом первого
цифро-аналогового преобразователя, пер-
вый выход формирователя кода фазы соеди-
нен со вторым адресным входом блока
постоянного запоминающего устройства и
входом формирователя кода адреса, второй
выход формирователя кода фазы соединен
с тактовым входом накапливающего сумма-
тора, информационный вход и выход кото-
рого соединены соответственно с выходом
блока постоянного запоминающего устрой-
ства и с информационным входом третьего
цифро-аналогового преобразователя, пер-
вый и второй выходы которого соединены
соответственно с входом второго цифро-
аналогового преобразователя и первым вхо-
дом опорного напряжения первого
цифро-аналогового преобразователя, выход
второго цифро-аналогового преобразова-
теля соединен со вторым входом опорного
напряжения первого цифро-аналогового
преобразователя, D-вход D-триггера соеди-
нен с входом разрешения счета второго
счетчика и входом разрешения формирова-
теля кода адреса и является входом "Пуск"
устройства, второй информационный вход
формирователя кода адреса соединен с ин-

(19) UA (11) 15884 (13) C1

формационным входом формирователя кода фазы и является входом управления устройства, вход опорного напряжения третьего цифро-аналогового преобразователя соединен со входом опорного напряжения второго цифро-аналогового преобразователя и является входом опорного напряжения, второй информационный вход второго мультиплексора является входом управления устройства, формирователь кода фазы содержит первый и второй регистры памяти, мультиплексор, селектор адреса, приемо-передатчик, а также первый, второй, ..., N-ый накопители кода фазы, при этом информационный выход первого регистра памяти соединен с адресным входом мультиплексора, первый и второй выходы селектора адреса соединены соответственно с входом управления первого регистра памяти и входом управления второго регистра памяти, информационный выход которого соединен с входами микрокоманд первого, второго, ..., N-го накопителя кода фазы, выход мультиплексора соединен с входом записи второго регистра памяти, выход первого регистра памяти соединен с входом управления приемопередатчика, входы выбора каналов первого, второго, ..., N-го накопителей кодов фазы объединены и являются входом выбора канала формирователя кода фазы, стробирующий вход мультиплексора является входом формирователя кода фазы, информационный вход мультиплексора соединен с информационными входами первого и второго регистров памяти, информационным входом приемопередатчика и адресно-управляющим входом селектора адреса и является информационным входом формирователя кода фазы, первые входы первого, второго, ..., N-го накопителей кода фазы соединены с первым выходом мультиплексора, реверсивные входы первого, второго, ..., N-го накопителей кода фазы соединены с выходами селектора адреса, первого регистра памяти и приемопередатчика и является первым выходом формирователя кода фазы, второй выход мультиплексора соединен со вторыми входами первого, второго, ..., N-го накопителей кода фазы и является вторым выходом формирователя кода фазы, формирователь кода адреса содержит регистр памяти, дешифратор, первый и второй мультиплексоры, при этом выход первого мультиплексора соединен с информационным входом дешифратора, вход управления и информационный выход которого являются соответственно адресным входом и первым выходом формирователя кода адреса, информационный вход второго мультиплек-

сора соединен с выходом регистра памяти, информационный вход которого является вторым информационным входом формирователя кода адреса, вход записи регистра памяти соединен с адресно-информационным входом первого мультиплексора и является входом формирователя кода адреса, адресный вход, вход разрешения и выход второго мультиплексора являются соответственно первым информационным входом, входом разрешения и вторым выходом формирователя кода адреса, о т л и ч а ю щ и с я тем, что в него введены генератор высокочастотных колебаний, амплитудный селектор, контроллер импеданса и компаратор, неинвертирующий вход которого является входом логической "1", инвертирующий вход подключен к инверсному выходу D-триггера, а выход соединен со входом питания генератора высокочастотных колебаний, вход модуляционных сигналов которого соединен с выходом фильтра нижних частот, первый выход является вторым выходом устройства, второй выход соединен со входом амплитудного селектора, а третий выход подключен ко вход-выходу контроллера импеданса, информационный вход которого соединен с третьим информационным выходом формирователя кода адреса и информационным входом амплитудного селектора, а выход соединен с выходом амплитудного селектора и подключен ко входу управления устройства, контроллер импеданса содержит первый и второй инверторы, первый и второй коммутаторы, цифро-аналоговый преобразователь, шинный формирователь, компаратор, четыре резистора и двуханодный стабилитрон, при этом выход первого инвертора подключен к первому входу управления первого коммутатора, а вход соединен со вторым входом управления первого коммутатора и вторым информационным выходом формирователя кода адреса, который вторым информационным выходом соединен с информационным входом цифро-аналогового преобразователя и входом управления шинного формирователя, выход которого соединен со входом управления устройства, а информационный вход соединен с выходом компаратора, неинвертирующий вход которого подключен к выходу цифро-аналогового преобразователя, а инвертирующий вход соединен с первым выходом первого резистора, первым и вторым входами-выходами второго коммутатора, первый вход управления которого соединен с выходом второго инвертора, второй вход управления соединен со входом второго инвертора и вторым информационным выходом форми-

рователя кода адреса, третий и четвертый входы-выходы соединены соответственно с третьим выходом генератора высокочастотных колебаний и вторым резистором, второй вывод которого подключен к источнику напряжения с нулевым потенциалом, второй вывод первого резистора соединен с первым и вторым входами-выходами первого коммутатора и с первым выводом двуханодного стабилизатора, второй вывод которого подключен к источнику напряжения с нулевым потенциалом, третий и четвертый входы-выходы первого коммутатора соединены соответственно через третий и четвертый резисторы с источниками положительного и отрицательного потенциалов, амплитудный селектор содержит шинный

формирователь и компаратор, инвертирующий вход которого подключен ко второму выходу генератора высокочастотных колебаний, неинвертирующий вход подключен к резистивному делителю, первый вывод которого соединен с источником напряжения с нулевым потенциалом, второй вывод подключен к выходу компаратора и первому выводу нагрузочного резистора, второй вывод которого соединен с источником питания и входом питания компаратора, выход компаратора соединен с информационным входом шинного формирователя, вход управления которого подключен к третьему выходу формирователя кода адреса, а выход соединен с входом управления устройства.

Изобретение относится к специальным средствам компьютерной технологии и предназначено для формирования шумоподобных сигналов с фазо-частотным синтезом и может быть использовано в локации и акустике, метрологии и измерительных системах, биологии и медицине, в частности, в медицинском приложении при использовании локализованного электромагнитного излучения в радиочастотном диапазоне с большой глубиной управления параметрами выходного сигнала.

Для формирования широкополосных шумоподобных сигналов используются программируемые формирователи шумоподобных сигналов, среди которых наиболее близким по технической сущности к изобретению является программируемый формирователь многочастотного сигнала [1], содержащий первый мультиплексор, накапливающий сумматор, блок постоянного запоминающего устройства, три цифро-аналоговых преобразователя, фильтр нижних частот, формирователь кода адреса, D-триггер, два счетчика, второй мультиплексор, генератор тактовых импульсов, формирователь кода фазы.

Формирователь-прототип обеспечивает задание различных номиналов частот и фазовых приращений для формирования различных структур сложного сигнала, однако использует модуляционный сигнал низкой частоты, что на приемной стороне с увеличением расстояния затрудняет выделение модуляционного сигнала с комплексной характеристикой минимальной частоты,

входящей в спектр многочастотного модулирующего сигнала.

В основу изобретения поставлена задача создать программируемый формирователь шумоподобных сигналов, в котором введение новых блоков позволило бы синтезировать такую форму сигнала, в которой вероятностное представление фазы, амплитуды и частоты в каждый момент вращения обеспечивает возможность выделения полезного уровня модуляционного сигнала на приемной стороне (путем переноса информационной структуры модуляционного сигнала в область высокочастотных сигналов).

Решение задачи основано на том, что в программируемый формирователь шумоподобных сигналов, содержащий генератор тактовых импульсов, первый и второй счетчики, первый, второй и третий цифро-аналоговые преобразователи, блок постоянного запоминающего устройства, накапливающий сумматор, фильтр нижних частот, D-триггер, первый и второй мультиплексоры, формирователь кода фазы, формирователь кода адреса, при этом первый выход генератора тактовых импульсов соединен с тактовым входом первого счетчика, второй выход генератора тактовых импульсов соединен с тактовым входом второго счетчика и входом формирователя кода фазы, выход переноса второго счетчика соединен со входом синхронизации D-триггера, S-вход которого соединен с выходом переноса первого счетчика, прямой выход D-триггера соединен со входом обнуления первого счетчика и входом управления второго мультиплексора, инверсный выход D-триггера соединен

со входом обнуления второго счетчика, входом управления первого мультиплексора и адресным входом формирователя кода адреса, первый и второй выходы которого соединены со входом выбора канала 5 формирователя кода фазы и первым адресным входом блока постоянного запоминающего устройства, информационный выход первого счетчика соединен с адресным входом первого мультиплексора, первый, второй, третий и четвертый выходы которого соединены соответственно со входом обнуления накапливающего сумматора, со входом записи третьего цифро-аналогового преобразователя, со входом записи второго цифро-аналогового преобразователя и входом записи первого цифро-аналогового преобразователя, выход которого соединен со входом фильтра нижних частот, выход которого является первым выходом устройства, 10 информационный выход второго счетчика соединен с первым информационным входом формирователя кода адреса и информационным входом второго мультиплексора, выход которого соединен со входом первого цифро-аналогового преобразователя, первый выход формирователя кода фазы соединен со вторым адресным входом блока постоянного запоминающего устройства и входом формирователя кода адреса, второй 15 выход формирователя кода фазы соединен с тактовым входом накапливающего сумматора, информационные вход и выход которого соединены соответственно с выходом блока постоянного запоминающего устройства и со входом третьего цифро-аналогового преобразователя, первый и второй выходы которого соединены соответственно со входом второго цифро-аналогового преобразователя и входом опорного напряжения первого цифро-аналогового преобразователя, выход второго цифро-аналогового преобразователя соединен со вторым входом опорного напряжения первого цифро-аналогового преобразователя, D-вход D-триггера соединен со входом разрешения счета второго счетчика и входом разрешения формирования кода адреса и является входом "Пуск" устройства, второй информационный вход формирователя кода адреса соединен с информационным входом формирователя кода фазы и является входом управления устройством, вход опорного напряжения третьего цифро-аналогового преобразователя соединен со входом опорного напряжения второго цифро-аналогового преобразователя и является входом опорного напряжения устройства, второй информационный вход второго мультиплексора является входом управления устройством, со-

гласно изобретению введены генератор высокочастотных колебаний, амплитудный селектор, контроллер импеданса и компаратор, неинвертирующий вход которого является входом логической "1", инвертирующий вход подключен к инверсному выходу D-триггера, а выход соединен со входом питания генератора высокочастотных колебаний, вход 10 модуляционных сигналов которого соединен с выходом фильтра нижних частот, первый вход является вторым входом устройства, второй выход соединен со входом амплитудного селектора, а третий выход подключен ко вход-выходу анализа контроллера импеданса, информационный вход которого соединен с третьим информационным выходом формирователя кода адреса и информационным входом амплитудного селектора, а выход соединен с выходом амплитудного селектора и 15 подключен ко входу управления устройством.

Формирователь кода фазы содержит 25 первый и второй регистры памяти, мультиплексор, селектор адреса, приемо-передатчик, а также первый, второй, ..., N-ый накопители кода фазы, при этом информационный выход первого регистра памяти соединен с адресным входом мультиплексора, первый и второй выходы селектора адреса соединены соответственно со входом управления первого регистра памяти и входом управления второго регистра памяти, 30 информационный выход которого соединен со входами управления микрокоманд первого, второго, ..., N-го накопителя кода фазы, выход мультиплексора соединен со входом записи второго регистра памяти, выход первого регистра памяти соединен со входом управления приемо-передатчика, входы выбора каналов первого, второго, ..., N-го накопителей кода фазы объединены и являются входом выбора канала формирователя кода фазы, стробирующий вход мультиплексора является входом формирователя кода фазы, информационный вход мультиплексора соединен с информационными входами первого и второго регистров 35 памяти, информационным входом приемо-передатчика и адресно-управляющим входом селектора адреса и является информационным входом формирователя кода фазы, первые входы первого, второго, ..., N-го накопителей кода фазы соединены с первым выходом мультиплексора, реверсивные входы первого, второго, ..., N-го накопителей кода фазы соединены с выходами селектора адреса первого регистра памяти и приемо-передатчика и явля-

ется первым выходом формирователя кода фазы, второй выход мультиплексора соединен со вторыми входами первого, второго, ..., N-го накопителей кода фазы и является вторым выходом формирователя кода фазы.

Формирователь кода адреса содержит регистр памяти, дешифратор, первый и второй мультиплексоры, при этом выход первого мультиплексора соединен с информационным входом дешифратора, вход управления и информационный выход которого являются соответственно адресным входом и первым выходом формирователя кода адреса, информационный вход второго мультиплексора соединен с выходом регистра памяти, информационный вход которого является вторым информационным входом формирователя кода фазы, вход записи регистра памяти соединен с адресно-информационным входом первого мультиплексора и является входом формирователя кода адреса, адресный вход, вход разрешения и выход второго мультиплексора являются соответственно первым информационным входом, входом разрешения и вторым выходом формирователя кода адреса.

В предлагаемом устройстве программирование формы сигнала, т.е. вероятностное представление фазы, амплитуды и частоты в каждый момент времени, позволяет формировать модуляционный сигнал в виде напряжения (тока). В данном применении использован в качестве оконечного блока генератор высокочастотных колебаний и, следовательно, закон изменения модуляционного (управляющего) сигнала переносится в область высоких частот.

Если в качестве оконечного устройства использовать преобразователь электрического сигнала в другой вид энергии (перемещение, свет, звук, давление и др.), то на выходе его будут сигналы с характеристиками, которые описывают сигнал определенной области техники (например, компьютерная видеотехника, технологические линии, электромузыкальная звукотехника, телевидение и т.д.).

На фиг. 1 приведена структурная электрическая схема программируемого формирователя шумоподобных сигналов; на фиг. 2 и 3 — структурные электрические схемы формирователей кода фазы и кода адреса соответственно.

Программируемый формирователь шумоподобных сигналов содержит генератор 1 тактовых сигналов (ГТИ 1), первый 2 и второй 3 счетчики, первый 4, второй 5 и третий 6 цифро-аналоговые преобразователи (ЦАП 4, ЦАП 5 и ЦАП 6), блок 7 постоянного запор-

минающего устройства (ПЗУ 7), накапливающий сумматор 8 (НС 8), фильтр 9 нижних частот (ФНЧ 9), D-триггер 10, первый 11 и второй 12 мультиплексоры, формирователь 13 кода фазы, формирователь 14 кода адреса, первый 15 выход устройства, вход 16 "Пуск" устройства, вход 17 управления устройства, вход 18 опорного напряжения устройства, компаратор 19, генератор 20 высокочастотных колебаний, второй выход 21 устройства, амплитудный селектор 22, контроллер импеданса 23.

Формирователь 13 кода фазы содержит первый 24 и второй 25 регистры памяти, мультиплексор 26, селектор 27 адреса, приемопередатчик 28, первый 29.1, второй 29.2, ..., N-ый 29n накопители кода фазы.

Формирователь 14 кода адреса содержит регистр 30 памяти, первый 31 и второй 32 мультиплексоры, дешифратор 33.

Программируемый формирователь шумоподобных сигналов работает следующим образом.

В исходном состоянии на вход 16 "Пуск" устройства поступает сигнал, по которому производится: подача на информационный вход D-триггера 10 сигнала логической "1" и установка его в нулевое состояние, установка второго счетчика 3 в статический режим, установка мультиплексора 26 в режим запрещения передачи информации. Сигнал с прямого выхода D-триггера 10 поступает на вход обнуления второго счетчика 3, на вход управления мультиплексора 11, по которому производится перевод его в неактивное состояние, и вход управления дешифратора 33 и перевод его в активное состояние. Сигнал с инверсного выхода D-триггера 10 устанавливает первый счетчик 2 в нулевое состояние, а второй мультиплексор 12 переводит в неактивное состояние.

В процессе программирования выполняются следующие операции. Со входа 17 управления устройства на вход "Выбор устройства" селектора 27 адреса поступает сигнал обращения, который переводит его в активное состояние: на адресный вход селектора 27 адреса поступает адресная информация, с помощью которой на выходе селектора 27 формируется сигнал "Выбор кристалла" и активизирует один из регистров (24 или 25). По входу 17 управления устройства поступает также информация, которая имеет следующее содержание: в первый 24 регистр записывается информация, с помощью которой производится мультиплексирование входных сигналов через мультиплексор 26, вторая информационная составляющая обеспечивает

управление мультиплексором 32, который мультиплексирует на адресный вход дешифратора 33 информацию от первого регистра 24 или от второго счетчика 3, а третья информационная составляющая обеспечивает управление приемопередатчиком 28, переводя его в режим передачи информации со входа на вход-выходы накопителей 29k (где $k = 1, 2, \dots, N$), во второй регистр 25 записывается код микрокоманды, которая выполняется в накопителях 29k, в регистр 30 записывается информация, определяющая номер и количество частотообразующих каналов формирователя 13. С приходом на вход 17 управления устройства сигнала "Запись" (сопровождающий сигналы "Выбор устройства", адреса и информации) выполняется операция записи в соответствующем регистре.

Программирование формирователя 13 кода фазы. Во второй регистр 25 записывается код микрокоманды установки в исходное состояние, который поступает на вход микрокоманды всех накопителей 29k, в первый регистр 24 записывается число, которое передается через информационный вход мультиплексора 26 на адресный вход дешифратора 33, на k -м выходе которого формируется сигнал выполнения микрокоманды. Формирование N сигналов на выходах дешифратора 33 обеспечивает установку всех накопителей в начальное состояние. Далее, во второй регистр 25 записывается микрокоманда записи констант, в которой содержится адрес регистра общего назначения R_{ik} . Через приемопередатчик 28 на вход-выход накопителей 29k поступает число (константа) и осуществляется запись константы в i -й регистр k -го накопителя 29k. При программировании других накопителей 29k (изменение индекса k) алгоритм остается прежним, а переменными будут индексы " i " и " k " и входная адресная информация дешифратора 33. После записи констант в соответствующие регистры R_{ik} накопителей 29k устройство готово к работе.

В рабочий режим устройство переходит при поступлении на вход 16 устройства "Пуск" сигнала с уровнем логического "0". Мультиплексор 32 переходит в режим передачи информации. Механизм совместной работы регистра 30, мультиплексора 32 и ПЗУ 7 заключается в том, что результат обработки k -го накопителя 29k при наличии уровня логической "1" в k -м разряде регистра 30 поступает на второй адресный вход ПЗУ 7, из которого считывается информация, описывающая функцию выходного сигнала. Если в соответствующем разряде

регистра 30 записан "0", то из ПЗУ 7 считывается страница с нулевой информацией. В рабочем режиме сигнал "Пуск" с уровнем логического "0" поступает на информационный вход D-триггера 10 и осуществляет перевод второго счетчика 3 в активный режим, т.е. в режим подсчета тактовых импульсов. Рабочий режим устройства, помимо сигнала "Пуск", обеспечивается необходимой информацией: в регистр 30 записывается число, разряды с уровнем логической "1" которого обеспечивают преобразование выходной информации накопителей 29k в ПЗУ 7 в необходимую функцию; в первый регистр 24 записывается число, которое обеспечивает установку в третье состояние приемопередатчик 28; переключение мультиплексора 26 в режим передачи сигналов от ГТИ 1 или передачи выходных числовых последовательностей от второго счетчика 3; во второй регистр 25 записывается код микрокоманды, которая выполняется в накопителях 29k. Процесс формирования частотных характеристик выходного сигнала описывается многопетлевой структурой. После подачи на вход 16 устройства сигнала "Пуск" с помощью второго счетчика 3, мультиплексора 32 и дешифратора 33 формируются сигналы, которые обеспечивают выполнение микрокоманды в накопителях 29k. Выполнение микрокоманды сопровождается выдачей информации на второй адресный вход ПЗУ 7 и сохранение в накопителе 29k. Используемый алгоритм работы устройства позволяет формировать программно ориентированную шумоподобную структуру выходного сигнала.

Характерной особенностью работы устройства является возможность получения в одном цикле множества значений каждой составляющей многочастотного сигнала. Цикл — это интервал времени, в течение которого выполняются соответствующие операции в каждом накопителе 29k и преобразования во всех ЦАП. В каждом такте цикла информация от накопителя 29k поступает на мультиплексор 32. На первый адресный вход ПЗУ 7 поступает информация от регистра 30, которая указывает номер страницы в каждом такте цикла. В НС 8 в течение каждого цикла накапливается информация от каждого (если он выбран) накопителя 29k. В процессе выполнения соответствующей операции в последнем накопителе 29k на выходе переноса второго счетчика 3 формируется сигнал, который переключает D-триггер 10 в нулевое состояние. Инверсный сигнал D-триггера 10 переводит в активный режим первый счетчик 2, первый 11 и второй 12 мультиплексо-

ры. В дальнейшем двоичная последовательность на информационном выходе первого счетчика 2 создает условие формирования на выходах первого мультиплексора 11 серию импульсов, которые обеспечивают распределенную во времени запись результата накопления НС 8 в регистр третьего ЦАП 6, со второго выхода которого сигнал в аналоговой форме поступает на вход опорного напряжения первого ЦАП 4.

Аналоговая величина преобразования с выхода второго ЦАП 6 поступает на вход опорного напряжения ЦАП 4. Двоичная последовательность с выхода второго счетчика 3 поступает через второй мультиплексор 12 на вход первого ЦАП 4 и формирует на его выходе пропорциональный коду сигнал. В первом ЦАП 4 производится преобразование между уровнями опорных напряжений, поступающих от второго ЦАП 5 и третьего ЦАП 6 и фиксация выходного уровня; по завершении преобразования в первом ЦАП 4 осуществляется запись цифрового кода последнего цикла из регистра третьего ЦАП 6 в регистр второго ЦАП 5; обнуление НС 8.

После указанных действий на выходе переноса первого счетчика 2 формируется сигнал, по которому D-триггер 10 устанавливается в единичное состояние и начинается новый цикл.

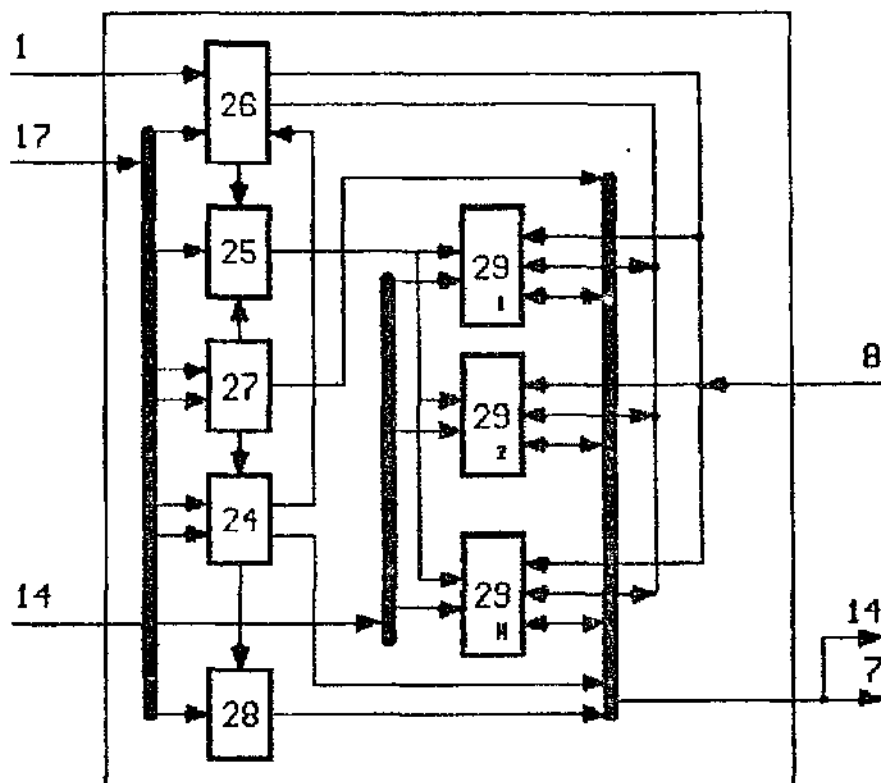
Наряду с вышеуказанными операциями устройство обеспечивает проведение диагностического контроля работоспособности генератора 20 высокочастотных колебаний, который выполняется с помощью контроллера импеданса 23. Сначала определяется соотношение между двоичным числом и величиной сопротивления (характеристическое сопротивление каждого устройства), т.е. вычисляется доля сопротивления на единицу числа. Затем выполняется операция, результатом которых является определение соответствия между двоичным числом и прямым и обратным сопротивлениями нелинейного элемента генератора 20 высокочастотных колебаний.

На основании полученных данных на алгоритмическом уровне делаются выводы, включающие, в частности, определение ис-

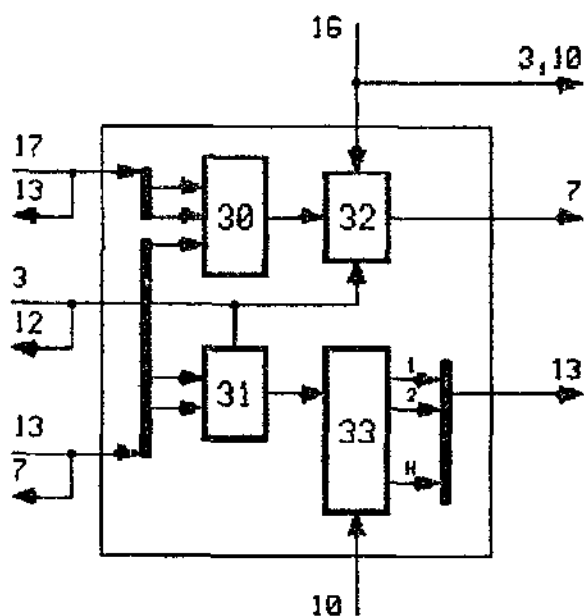
правности нелинейного элемента (короткое замыкание, обрыв), динамической характеристики частотного диапазона. При принятии положительного решения устройство готово к работе.

В рабочем режиме компаратор 19 осуществляет подключение источника питания к генератору высокочастотных колебаний и на втором 21 выходе устройства присутствует модулированный высокочастотный сигнал. При этом, параметры модулирующего напряжения определяются формирователем 14 кода фазы. В то же время, со второго выхода генератора 20 высокочастотных колебаний на вход амплитудного селектора 22 поступает детектированный сигнал пропорциональной мощности сигнала на выходе 21. Амплитудный селектор 22 выполняет функцию выделения области допустимой мощности с использованием эффекта гистерезиса. Если на входе напряжение меньше минимального значения, то на выходе будет сигнал логического "0"; если входное напряжение расположено в области между минимальным и максимальным значениями, то выходное напряжение будет соответствовать логической "1"; если уровень входного сигнала превышает максимальное значение, то на выходе — сигнал с уровнем логического "0". Выходное состояние контролируется с помощью сигнала, поступающего от формирователя 14 кода адреса, и выдается на вход 17 управления устройства.

Таким образом, предлагаемое устройство обладает преимуществами, которые заключаются в возможности проведения диагностирования и контроля высокочастотного тракта; наличие информационной связи между ПЗУ 7 и формирователем 14 кода адреса позволяет формировать сигналы различной формы и структуры, описываемые как простыми функциональными зависимостями, так и сложными математическими описаниями, что позволяет получить выходной сигнал мощности излучения, описываемый модуляционной структурой спектра многочастотного сигнала.



Фиг. 2



Фиг. 3

Упорядник

Техред М.Моргентал

Коректор М. Куль

Замовлення 4206

Тираж

Підписне

Державне патентне відомство України,
254655, ГСП, Київ-53, Львівська пл., 8

Відкрите акціонерне товариство "Патент", м. Ужгород, вул.Гагаріна, 101

