

Изобретение относится к области измерительной техники и может быть использовано для измерения отклонений мгновенной частоты от номинального значения, для демодуляции ЧМ-сигналов в радиоизмерительных, радиоприемных устройствах, в цифровых телевизионных декодерах СЕКАМ, в радиолокации.

Известен частотный детектор с вычислителем арккосинуса [1], содержащий два регистра, сумматор, сдвиговый регистр, ПЗУ, быстродействующий делитель. Устройство использует три последовательные выборки сигнала, например  $A_1$ ,  $A_2$  и  $A_3$ , на основании которых определяется частота в соответствии с выражением:

$$\omega = \frac{1}{T} \cdot \arccos \frac{A_1 + A_3}{2 A_2}, \quad (1)$$

где  $T$  - период дискретизации.

Данный частотный детектор является оптимальным с точки зрения минимума среднеквадратической ошибки измерения. Используемая в нем операция деления на выборку  $A_2$  уменьшает зависимость выходного сигнала от амплитуды несущей, что в определенной степени заменяет амплитудный ограничитель и особенно важно для демодуляции ЧМ-сигналов.

Вместе с тем, недостатком рассматриваемого устройства является необходимость наличия быстродействующего делителя, что усложняет схемное решение детектора.

Наиболее близким по технической сущности к заявляемому изобретению является цифровой частотный детектор, содержащий последовательно соединенные первый и второй регистры, а также постоянное запоминающее устройство, выход первого регистра, вход которого является входом цифрового частотного детектора, подключен к входу одной из переменных адресного входа постоянного запоминающего устройства, управляющие входы первого и второго регистров, являются тактовым входом цифрового частотного детектора [2].

Указанный детектор, реализующий процедуру (1), подобно [1], оптимален с точки зрения обеспечения минимума среднеквадратической ошибки измерения и, в отличие от него, технически проще.

Однако возможности по упрощению схемного решения в нем использованы не полностью. Поэтому вследствие относительной технической сложности возможны проблемы в отладке работы устройства.

Задача, решаемая изобретением, заключается в упрощении схемного решения цифрового частотного детектора и увеличении надежности его функционирования, т.е. отказоустойчивости.

Поставленная задача решается тем, что в цифровом частотном детекторе, содержащем последовательно соединенные первый и второй регистры, а также постоянное запоминающее устройство, причем выход первого регистра, вход которого является входом цифрового частотного детектора, подключен к входу одной из переменных адресного входа постоянного запоминающего устройства, управляющие входы первого и второго регистров являются тактовым входом цифрового частотного детектора, согласно изобретению, вход цифрового частотного

детектора и выход второго регистра подключены соответственно к входам двух других переменных адресного входа постоянного запоминающего устройства.

Операция суммирования, усложняющая схемное решение цифрового частотного детектора, и вычисление арккосинуса, реализуются в рамках одного ПЗУ путем использования цифровых отсчетов сигнала непосредственно в качестве кода адреса. При этом вход цифрового частотного детектора и выход второго регистра подключены к входам других соответствующих переменных адресного входа постоянного запоминающего устройства. В роли последнего могут быть использованы ПЗУ с произвольным количеством строк и столбцов.

При использовании 4 - х, 5-разрядных АЦП описанный вариант детектора предполагает сравнительно небольшой объем ПЗУ, а именно:  $2^{11}$  ячеек и  $2^{14}$  соответственно (2 Кбайта и 16 Кбайт при 8-разрядном коде частоты).

Сущность изобретения поясняется чертежом (фиг.), где приведена структурная схема цифрового частотного детектора: 1 - первый регистр; 2 - второй регистр; 3 - ПЗУ; F - тактовый вход устройства, наличие которого в прототипе подразумевается.

В статическом состоянии вход цифрового частотного детектора является входом первого регистра 1 и подключен к входу одной из переменных адресного входа постоянного запоминающего устройства (ПЗУ) 3, выход первого регистра 1 подключен ко входу второго регистра 2, выходы первого 1 и второго регистра 2 подключены к входам других соответствующих переменных адресного входа постоянного запоминающего устройства 3, выход которого является выходом цифрового частотного детектора, управляющие входы первого и второго регистров 1, 2 являются тактовым входом F цифрового частотного детектора.

Значения частоты в соответствии с выражением (1) предварительно рассчитывают для всего возможного набора комбинаций триад отсчетов АЦП  $A_1$ ,  $A_2$  и  $A_3$  и записывают в ПЗУ 3 по адресу, составными элементами которого являются указанные коды АЦП  $A_1$ ,  $A_2$  и  $A_3$ . Такой прием позволяет в последующем отказаться от выполнения вычислительных операций непосредственно в момент измерения. Таким образом, в ПЗУ 3 в отличие от прототипа зашита

функция  $\frac{1}{T} \arccos \frac{A_1 + A_3}{2 A_2}$ , где  $T$  - период дискретизации,  $A_1$ ,  $A_2$  и  $A_3$  - отсчеты АЦП, являющиеся фрагментами составного адреса ПЗУ 3.

Принцип работы цифрового частотного детектора сводится к следующему. Поступающие на вход цифрового частотного детектора цифровые коды АЦП по сигналам такта на управляющих входах первого и второго регистров 1, 2 последовательно записываются в регистры 1, 2 и далее по их выходам используются вместе с вновь поступившим отсчетом в качестве триады составных элементов адреса для выборки из ПЗУ 3 искомого значения частоты. С очередным импульсом такта происходит перезапись новой информации в регистры 1, 2, и код частоты по выходу ПЗУ 3 обновляется.

Предложенный цифровой частотный детектор

лишен основного недостатка, присущего прототипу и заключающегося в сложности аппаратной реализации. Имеющиеся в них отличия в техническом решении носят существенный характер, поскольку, представляют собой качественный скачок в направлении "свертывания" устройства, сводящийся к устранению в нем излишних узлов и связей.

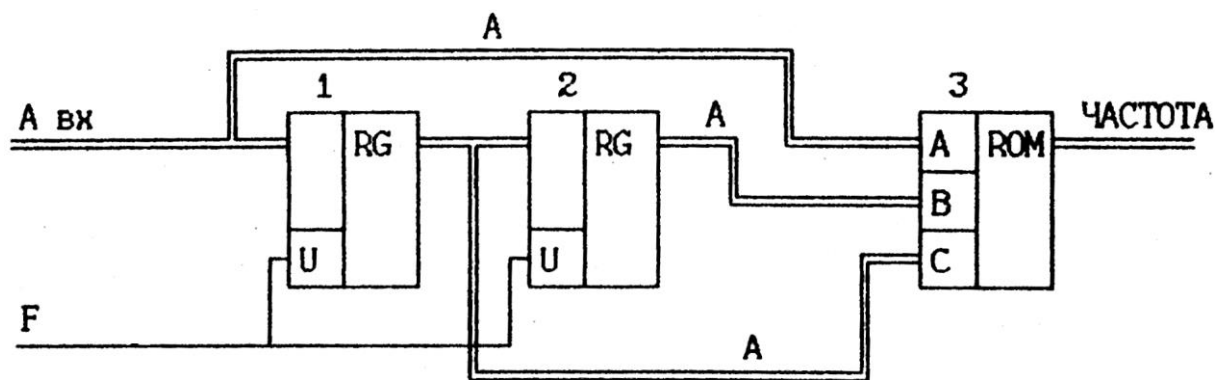
Что касается возможности осуществления указанного устройства, то она всецело определяется диапазоном измеряемых частот и допустимой ценой младшего разряда цифрового кода искомой частоты. Например, для частот дискретизации, меньших 10 - 15 МГц, вполне могут быть использованы регистры ТТЛ-серии и ТТЛШ (555, 1533), ПЗУ КР1656 РЕ1, КР1656 РЕ4, КР556 РТ17, КР556РТ16, КР556РТ20.

При более высоких частотах квантования можно перейти к использованию микросхем ЭСЛ-серии (500, 1500). В случае необходимости в разрыв цепи прохождения сигнала такта на управляющие входы регистров следует включить элемент задержки.

Источники информации

1. Хохлов Б.Н. Декодирующие устройства цветных телевизоров. - М.: Радио и связь, 1992. - С.88 - 101.

2. Патент US №4737729, кл. H03D1/00, 1988.



Фиг.