

Однорозрядний суматор, який має в своєму складі п'ять МОН транзисторів n-типу і п'ять МОН транзисторів p-типу, входи першого і другого операндів, вхід переноса та вихід суми і переноса, причому витік першого транзистора n-типу з'єднаний з заслонами других транзисторів n- і p-типів, заслони перших транзисторів n-і p-типів з'єднані між собою і під'єднані до витоків другого і третього транзисторів n-типу, стоки першого транзистора n-типу і других транзисторів n- і p-типів з'єднані між собою і під'єднані до заслонів третіх і п'ятих транзисторів n- і p-типів та до витоку четвертого транзистора n-типа, витік п'ятого транзистора n-типу з'єднаний з заслонами четвертих транзисторів n- і p-типів, витики першого і четвертого транзисторів p-типів під'єднані до шини живлення, стік першого транзистора p-типу з'єднаний з витоком другого транзистора p-типу, стік четвертого транзистора p-типу з'єднаний з витоком п'ятого транзистора p-типу, при цьому вхід першого операнда під'єднаний до витоку першого транзистора n-типу, вхід другого операнда під'єднаний до витоку другого транзистора n-типу, вхід переносу - до входу п'ятого транзистора n-типу, а стоки третіх транзисторів n- і p-типів з'єднані між собою і під'єднані до виходу переносу, стоки четвертого транзистора n-типу і п'ятих транзисторів n- і p-типів з'єднані між собою і під'єднані до виходу суми, який відрізняється тим, що витік третього транзистора p-типу з'єднаний зі входом переносу.