

Устройство контроля исправного состояния микропроцессорных больших интегральных схем, содержащее последовательно соединенные между собой генератор формирования тестовых воздействий, объект контроля и схему сравнения, отличающееся тем, что оно дополнительно содержит N-1, параллельно соединенных между собой, объектов контроля с возможностью в качестве эталонной выходной реакции для i -го ($i = 1, N$) объекта контроля использовать выходные реакции других N-1 объектов контроля.