



УКРАЇНА

(19) UA (11) 21729 (13) A

(51) G 06 F 9/22, 11/30

ДЕРЖАВНЕ
ПАТЕНТНЕ
ВІДОМСТВООПИС ДО ПАТЕНТУ
НА ВІНАХІДбез проведення експертизи по суті
на підставі Постанови Верховної Ради України
№ 3769-XII від 23 XII. 1993 р.Публікується
в редакції заявника

(54) ПРИСТРІЙ КОНТРОЛЮ СПРАВНОГО СТАНУ МІКРОПРОЦЕСОРНИХ ВЕЛИКИХ ІНТЕГРАЛЬНИХ СХЕМ

1

(21) 97062698
(22) 09.06.97
(24) 20.01.98
(46) 30.04.98. Бюл. № 2
(47) 20.01.98

(72) Резніков Михайло Ігорович, Подобедов Ігор Вікторович, Креденцер Борис Петрович, Пампуха Ігор Володимирович, Мазанкін Сергій Дмитрович

(73) Резніков Михайло Ігорович, Подобедов Ігор Вікторович, Креденцер Борис Петрович, Пампуха Ігор Володимирович, Мазанкін Сергій Дмитрович

2

(57) Устройство контроля исправного состояния микропроцессорных больших интегральных схем, содержащее последовательно соединенные между собой генератор формирования тестовых воздействий, объект контроля и схему сравнения, отличающееся тем, что оно дополнительно содержит N-1, параллельно соединенных между собой, объектов контроля с возможностью в качестве эталонной выходной реакции для i-го ($i=1, N$) объекта контроля использовать выходные реакции других N-1 объектов контроля.

Изобретение относится к области контроля исправного состояния микропроцессорных (МП) больших интегральных схем (БИС) и может найти широкое применение при их проектировании, изготовлении и эксплуатации.

Известно устройство контроля МП БИС [Курейчик В.М., Родзин С.И. Контролепригодное проектирование и самотестирование СБИС: проблемы и перспективы. М., Радио и связь, 1994, с. 31-32]. Это устройство имеет последовательно соединенные между собой генератор формирования тестовых воздействий, эталон, объект контроля и схему сравнения. При функциональном тестировании этим устройством генератор тестовых воздействий стимулирует входы объекта контроля. Объект контроля реагирует выдачей последовательности, которая сравнивается

в схеме оценки теста с эталонной последовательностью. При их несовпадении выдается сообщение об ошибке.

Однако при всей простоте в реализации это устройство требует наличия эталонной МП БИС и гарантии ее исправной работы.

В настоящее время промышленностью выпускается широкая номенклатура БИС, изготавливаемых по различным технологиям, отличающихся между собой числом рядов, функциональным назначением и даже числом выводов корпуса. МП БИС помещается в так называемых DIP корпусах с двухрядным расположением выводов, причем площадь корпуса гораздо больше, чем площадь самого кристалла. Увеличение степени интеграции привело к многофункциональности внешних контактов, увеличению тактовой частоты. Каждый тип БИС из состава

(19) UA (11) 21729 (13) A

ва микропроцессорного комплекта, создается для решения сравнительно узкого, заранее определенного круга задач. Это обуславливает наличие для каждого типа БИС своей уникальной системы команд. Различные типы МП БИС даже входящие в один комплект, отличаются функциональным назначением одноименных выводов корпуса и даже их (выводов) числом.

Таким образом, устройство, предназначенное для контроля исправного состояния (КИС) МП БИС, должно отвечать следующим требованиям:

должно быть универсальным, т.е. обеспечивать возможность КИС широкой номенклатуры МП БИС;

иметь возможность расширения класса контролируемых БИС;

иметь возможность оперативной коррекции тестовой программы;

учитывать характерные конструктивные особенности, присущие различным типам МП БИС (различное число выводов корпуса от 16 до 40 и более, различное функциональное назначение у разных типов МП БИС одних и тех же выводов корпуса);

быть пригодным для использования в составе подвижных и стационарных ремонтных органов и предприятиях изготовителей;

должно быть пригодным для эксплуатации персоналом средней квалификации;

иметь высокую производительность.

Задачей изобретения является в устройстве контроля исправного состояния микропроцессорных больших интегральных схем путем исключения из его схемы эталонного объекта контроля с гарантией его исправной работы и введения N-1 объектов контроля с применением статистико-вероятностной операции определения группы исправных и неисправных БИС значительно снизить материальные затраты на проведение контроля.

Поставленная задача решается тем, что в устройстве контроля исправного состояния микропроцессорных больших интегральных схем, содержащем последовательно соединенные между собой генератор формирования тестовых воздействий, объект контроля и схему сравнения, согласно изобретению оно дополнительно содержит N-1, параллельно соединенные между собой, объектов контроля с возможностью в качестве эталонной выходной реакции для i-го ($i=1, N$) объекта контроля использовать выходные реакции других N-1 объектов контроля.

Сущность изобретения поясняется чертежом, на котором изображена структурная

схема заявляемого устройства для одновременного контроля трех микропроцессорных БИС.

Устройство содержит последовательно соединенные между собой генератор формирования тестовых воздействий 1, три объекта контроля 2 и схему сравнения 3.

Организационно устройство контроля МП БИС можно представить в виде трехканальной системы, в которой каждый канал обеспечивает проверку работоспособности одного микропроцессора. В состав каждого канала контроля входят: модуль памяти, системный контроллер, генератор тактовых импульсов (ГТИ), схема формирования запроса прерывания и регистр хранения выходного результата (РХВР). Дешифратор, регистр управляющего слова (РУС) и цифровой компаратор (ЦК) являются общими структурными элементами для всех трех каналов контроля. Для увеличения производительности устройства контроля, за счет ликвидации времени, в течение которого контролируемые МП не выполняют тестовую программу, в модулях памяти применена страничная организация памяти. Каждый модуль памяти можно условно разделить на две страницы емкостью по два Кбайта каждая.

Рассмотрим алгоритм функционирования устройства. После запуска программы КИС МП БИС оператор выбирает тип контролируемой БИС. При этом происходит инициализация устройства контроля, выбор и подключение программных модулей, обеспечивающих формирование ТП только для выбранного типа МП БИС, и генератор формирования тестовых воздействий, который представляет собой ЭВМ в совокупности с программными продуктами, обеспечивающими выбор и формирование тестовых воздействий для МП БИС контролируемой в настоящий момент времени, начинает формировать ТП для КИС ОК.

Структурно ТП состоит из сегментов длиной не более двух килобайт. Сформировав первый сегмент, ЭВМ производит запись управляющего слова (УС) в РУС. Управляющее слово определяет режим работы устройства контроля, в частности младший бит УС настраивает модуль памяти для приема сегмента ТП с ЭВМ. С помощью младшего бита осуществляется разделение страниц модуля памяти на активную и буферную. Здесь и далее по тексту, под активной страницей модуля памяти в момент времени t_i , будем понимать структурный элемент модуля памяти, в котором хранится, исполняемый в момент времени t_i контролируемый МП БИС, сегмент ТП. Под буферной

страницей в момент времени t_4 будем понимать структурный элемент модуля памяти, который в момент времени t_4 не является активным. После записи первого сегмента ТП модуль памяти, в РУС записывается новое УС, разрешающее контролируемой БИС выполнение записанной ТП и настраивающее вторую страницу модуля памяти на прием очередного сегмента ТП. В последующий момент времени на входы "RESING" системных контроллеров и входы "R" триггеров в схемах формирования запроса на прерывание поступает импульс сброса, по окончании которого все испытываемые МП БИС приступают к выполнению записанного сегмента ТП. Одновременно в буферную страницу модуля памяти происходит запись следующего сегмента ТП.

Сегмент ТП образован некоторым множеством ЭТВ, каждая из которых заканчивается командой записи полученного в ходе выполнения ЭТВ результата во внешнее устройство по адресу 7F(H) (адрес шестнадцатиричный). Адрес 7F(H) в адресном пространстве внешних устройств контролируемых МП БИС присвоен PXBP. Результаты хранящиеся в первом и третьем PXBP попарно сравниваются с результатом хранящимся во втором PXBP, результаты сравнения объединяются на элементе "И-НЕ", где в случае несовпадения ВР одной из контролируемых пар, формируется сигнал запроса прерывания на ЭВМ (IRQ3). Приняв сигнал запроса прерывания IRQ3, ЭВМ прекращает формирование сегмента ТП, и переходит к подпрограмме обработки прерывания IRQ3. В процессе выполнения этой подпрограммы происходит считывание и анализ ВР из всех PXBP. По окончании анализа принимается решение об исправности, либо неисправности каждой из БИС, о чем выдается сообщение оператору. Запросы на прерывание (IRQ5 для первого канала, IRQ6 для второго канала, IRQ7 для третьего канала) выдаются контроллером на ВМ также при смене активных страниц в модулях памяти в каждом из каналов контроля. Сигналы IRQ5, IRQ6, IRQ7 вырабатывают схемы формирования запросов на прерывание, для этого последний командой в каждом сегменте ТП является команда записи числа FF(H) во внешнее устройство по адресу BF(H). Адрес (BF(H) в адресном пространстве контролируемых МП соответствует схеме формирования запросов прерывания. Получив один из запросов на прерывание (IRQ5, IRQ6, IRQ7) ЭВМ выставляет строб длительностью соответствующей периоду следования тактовых импульсов ГТИ. За время действия строба с

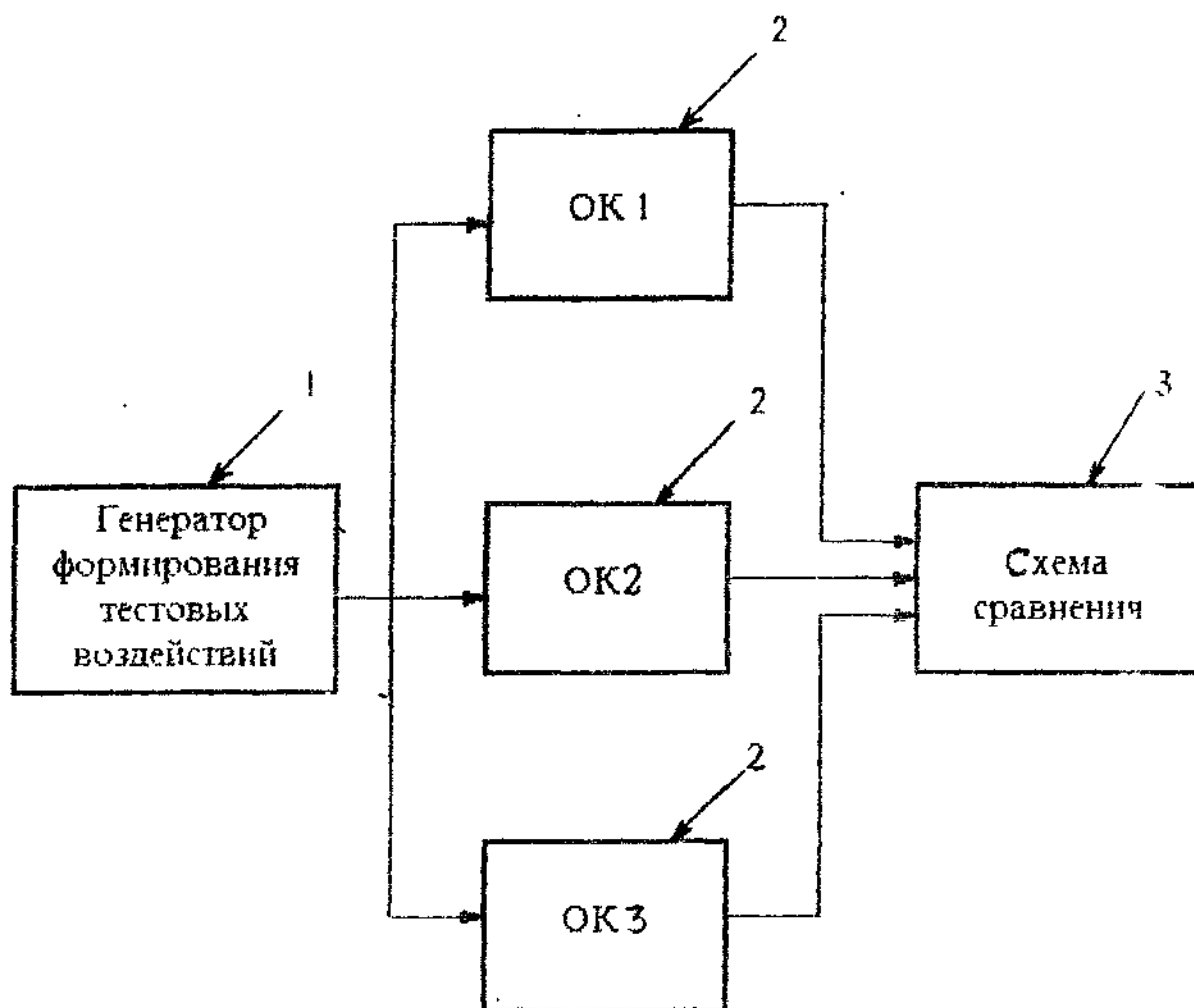
устройства контроля должны поступить оставшиеся два запроса на прерывание, если один из запросов на прерывание не поступил, то принимается решение о неисправности МП контролируемого в том канале КОК с какого не был получен запрос на прерывание (оператору в таком случае выдается сообщение о неисправности соответствующего МП). Если за время действия строба пришли два сигнала запроса на прерывание, то в таком случае, ЭВМ прекращает составление ТП и производит запись нового сегмента ТП в буферную страницу модуля памяти. При этом возможны два случая:

первый – на момент поступления запроса на прерывание сформирован фрагмент ТП (рассматривается второй и третий способы выбора ИВВ) объемом не менее 2 Кбайт. В этом случае первый сегмент образованного фрагмента записывается в буферную страницу модуля памяти;

второй – на момент поступления запроса на прерывание сформирован фрагмент ТП объемом менее 2 Кбайт. В этом случае объем сформированного фрагмента дополняется до 2 Кбайт за счет включения в состав ТП ЭТВ образованных из усеченных ЭТВ с D1 выбранными из базы данных или выбранными случайным образом.

Каждый раз при обнаружении неисправной МП БИС неисправная МП БИС изымается, на его место устанавливается новый и процесс контроля начинается сначала. Если ВР контролируемых МП БИС совпадают на всех наборах тестовых воздействий, то МП БИС выполняют ТП, считывая ее поочередно с одной из страниц модуля памяти до тех пор, пока не будет выполнена вся ТП. По окончании выполнения ТП оператору выдается сообщение об исправности всех контролируемых МП БИС.

Разработанная схема позволяет производить КИС одновременно трех МП БИС статистико-вероятностным методом. Предложенная схема может рассматриваться как базовая для создания устройств рассчитанных для одновременного контроля большего числа микропроцессорных БИС с большим значением достоверности контроля. В случае модернизации устройства контроля, для одновременного контроля N БИС, схема должна содержать N модулей памяти, N схем формирования запроса прерывания, N ТГИ, N системных контроллеров, N регистров хранения выходного результата с шинными формирователями, N-1 схем сравнения, качестве схемы объединения использовать элемент "И-НЕ" с числом входом N-1.



Упорядник

Техред М.Келемеш

Коректор М.Куль

Замовлення 4451

Тираж

Підписне

Державне патентне відомство України,
254655, ГСП, Київ-53, Львівська пл., 8

Відкрите акціонерне товариство "Патент", м. Ужгород, вул.Гагаріна, 101