

Преобразователь двоично-К-значного кода в двоичный код, содержащий группу из n разрядных регистров сдвига, где n - разрядность входного кода, параллельные информационные входы которых являются входами преобразователя, генератор импульсов, первую группу из $(n - 1)$ триггера состояния, накапливающий сумматор, выполненный из комбинационного двоичного сумматора и регистра результата, формирователь эквивалентов, состоящий из первого шифратора, суммирующего счетчика импульсов, комбинационного сдвигателя, группы элементов И, группы элементов ИЛИ, при этом выходы регистра результата накапливающего сумматора являются преобразователя и соединены с соответствующими вторыми входами комбинационного двоичного сумматора, младшие входы которого являются младшими информационными входами накапливающего сумматора и соединены с соответствующими выходами группы элементов ИЛИ, старшие информационные входы накапливающего сумматора соединены с соответствующими старшими информационными выходами формирователя эквивалентов, выходы комбинационного двоичного сумматора соединены с соответствующими входами регистра результата, синхровход которого соединен с прямым задержанным выходом генератора импульсов, прямой выход которого соединен с синхровходом первой группы триггеров состояния, прямые выходы которых соединены через входы второй информационной группы входов формирователя эквивалентов с соответствующими входами первого шифратора, информационные входы i - го триггера состояния ($i = 1, \dots, (n - 1)$) первой группы соединены с выходами первого бита ($i + 1$) - го разрядного регистра сдвига, входы сдвига которых соединены с инверсным выходом генератора импульсов, битовые выходы младшего разрядного регистра сдвига соединены через соответствующие биты первой группы входов формирователя эквивалентов с соответствующими первыми входами группы элементов И, выходы которых соединены с соответствующими первыми входами группы элементов ИЛИ, вторые входы которых соединены с соответствующими младшими выходами комбинационного сдвигателя, старшие выходы которого являются соответствующими старшими выходами формирователя эквивалентов, а управляющие входы соединены с соответствующими младшими выходами суммирующего счетчика импульсов, старший выход которого соединен со всеми вторыми входами группы элементов И, а синхровход счетчика соединен с прямым выходом генератора импульсов, **отличающийся** тем, что в него введена вторая группа из $(n - 1)$ - го триггера состояния, синхровходы которых соединены с прямым выходом генератора импульсов, информационные входы i - го триггера состояния ($i = 1, 2, \dots, (n - 1)$) второй группы соединены с выходами третьего бита ($i + 1$) - го разрядного регистра сдвига, прямые выходы триггеров состояния второй группы соединены с соответствующими входами третьей информационной группы входов формирователя эквивалентов, в который введены комбинационный двоичный сумматор и второй шифратор, входы которого являются входами третьей информационной группы входов формирователя эквивалентов, а выходы второго шифратора соединены с соответствующими входами второго слагаемого в комбинационном двоичном сумматоре формирователя эквивалентов, входы первого слагаемого комбинационного двоичного сумматора формирователя эквивалентов соединены с соответствующими выходами первого шифратора, выходы комбинационного двоичного сумматора формирователя эквивалентов соединены с соответствующими входами комбинационного сдвигателя, входы сброса триггеров состояния первой группы соединены со старшим информационным выходом суммирующего счетчика импульсов в формирователе эквивалентов.