



УКРАЇНА

(19) UA (11) 24674 (13) A

(51)6 H 03 M 7/12

ДЕРЖАВНЕ  
ПАТЕНТНЕ  
ВІДОМСТВООПИС ДО ПАТЕНТУ  
НА ВІНАХІДбез проведення експертизи по суті  
на підставі Постанови Верховної Ради України  
№ 3769-XII від 23 XII 1993 р.Публікується  
в редакції заявника

(54) ПЕРЕТВОРЮВАЧ ДВІЙКОВО-К-ЗНАЧНОГО КОДУ У ДВІЙКОВИЙ КОД

(21) 97063339

(22) 27.06.97

(24) 04.08.98

(46) 30.10.98. Бюл. № 5

(47) 04.08.98

(72) Какурін Микола Яковлевич, Макаренко  
Ганна Миколаївна, Лопухін Юрій Володими-  
рович, Лопухін Ярослав Юр'євич, Штець Ле-  
онід Костянтинович(73) Харківський державний технічний  
університет радіоелектроніки

(57) Преобразователь двоично-К-значного кода в двоичный код, содержащий группу из  $n$  разрядных регистров сдвига, где  $n$ -разрядность входного кода, параллельные информационные входы которых являются входами преобразователя, генератор импульсов, первую группу из  $(n-1)$  триггера состояния, накапливающий сумматор, выполненный из комбинационного двоичного сумматора и регистра результата, формирователь эквивалентов, состоящий из первого шифратора, суммирующего счетчика импульсов, комбинационного сдвигателя, группы элементов И, группы элементов ИЛИ, при этом выходы регистра результата накапливающего сумматора являются преобразователя и соединены с соответствующими вторыми входами комбинационного двоичного сумматора, младшие входы которого являются младшими информационными входами накапливающего сумматора и соединены с соответствующими выходами группы элементов ИЛИ, старшие информационные входы накапливающего сумматора соединены с соответствующими старшими информационными выходами формирователя эквивалентов, выходы комбинационного

двоичного сумматора соединены с соответствующими входами регистра результата, синхровход которого соединен с прямым задержанным выходом генератора импульсов, прямой выход которого соединен с синхровходом первой группы триггеров состояния, прямые выходы которых соединены через входы второй информационной группы входов формирователя эквивалентов с соответствующими входами первого шифратора, информационные входы  $i$ -го триггера состояния ( $i = 1, \dots, (n-1)$ ) первой группы соединены с выходами первого бита  $(i+1)$ -го разрядного регистра сдвига, входы сдвига которых соединены с инверсным выходом генератора импульсов, битовые выходы младшего разрядного регистра сдвига соединены через соответствующие биты первой группы входов формирователя эквивалентов с соответствующими первыми входами группы элементов И, выходы которых соединены с соответствующими первыми входами группы элементов ИЛИ, вторые входы которых соединены с соответствующими младшими выходами комбинационного сдвигателя, старшие выходы которого являются соответствующими старшими выходами формирователя эквивалентов, а управляющие входы соединены с соответствующими младшими выходами суммирующего счетчика импульсов, старший выход которого соединен со всеми вторыми входами группы элементов И, а синхровход счетчика соединен с прямым выходом генератора импульсов, о т л и ч а ю щ и й с я тем, что в него введена вторая группа из  $(n-1)$ -го триггера состояния, синхровходы которых соединены с прямым выходом генератора

(19) UA (11) 24674 (13) A

импульсов, информационные входы  $i$ -го триггера состояния ( $i = 1, 2, \dots (n - 1)$ ) второй группы соединены с выходами третьего бита ( $i + 1$ )-го разрядного регистра сдвига, прямые выходы триггеров состояния второй группы соединены с соответствующими входами третьей информационной группы входов формирователя эквивалентов, в который введены комбинационный двоичный сумматор и второй шифратор, входы которого являются входами третьей информационной группы входов формирователя эквивалентов, а выходы второго шифратора соединены с соответствующими входами второго

слагаемого в комбинационном двоичном сумматоре формирователя эквивалентов, входы первого слагаемого комбинационного двоичного сумматора формирователя эквивалентов соединены с соответствующими выходами первого шифратора, выходы комбинационного двоичного сумматора формирователя эквивалентов соединены с соответствующими входами комбинационного сдвигателя, входы сброса триггеров состояния первой группы соединены со старшим информационным выходом суммирующего счетчика импульсов в формирователе эквивалентов.

Изобретение относится к автоматике и вычислительной технике и может быть использовано при построении устройств обработки и преобразования информации.

Известно устройство преобразования кодов [Авт. св. СССР № 1126946, кл. G 06 F 5/02, опублик. 1984, Бюл. № 44], содержащее группу разрядных счетчиков, генератор импульсов, группу элементов И, группу триггеров состояния, формирователь эквивалентов, группу дешифраторов нуля и накапливающий сумматор.

Описанное устройство не обеспечивает высокое быстродействие, так как имеет один шаг преобразования равный 1 и требует подачи  $N1 = K$  импульсов для преобразования  $K$ -ичного кода.

Известен преобразователь двоично- $K$ -ичного кода в двоичный код [Авт. св. СССР № 164908, кл. H 03 M 7/12, опублик. 1991, Бюл. 17], содержащий группу разрядных счетчиков, генератор импульсов, первую и вторую группы триггеров состояния, комбинационный двоичный сумматор и регистр результата, образующих в совокупности накапливающий сумматор, группу элементов И, группу элементов И-НЕ, группу дешифраторов нуля, группу дешифраторов превышения, группу шифраторов, элемент ИЛИ-НЕ, формирователь эквивалентов, включающий в свой состав первый и второй дешифраторы и шифратор, первую и вторую группы элементов И, группу элементов ИЛИ.

Известный преобразователь не обеспечивает высокое быстродействие, из-за наличия двух шагов преобразования  $a$  и 1 и необходимости подачи  $N2 = \lceil (K - 1)/a \rceil + a$  импульсов для преобразования  $K$ -ичного кода, где  $a$  — величина второго шага,  $\lceil \dots \rceil$  — означают округление до меньшего целого, а

также требует повышенных аппаратурных затрат при его изготовлении.

Известен также преобразователь двоично- $K$ -ичного кода в двоичный код [Авт. св. СССР № 1783618, кл. H 03 M 7/12, опублик. 1992, Бюл. 47], содержащий группу из  $n$  разрядных счетчиков, где  $n$  — разрядность преобразуемого кода, генератор импульсов, первую, вторую и третью группы триггеров состояния, комбинационный двоичный сумматор и регистр результата, образующих в совокупности накапливающий сумматор, первую и вторую группы элементов И, первую и вторую группы элементов И-НЕ, группу кодовых шифраторов,  $(n - 1)$ -ую группу элементов ИЛИ, группу дешифраторов нуля, первую и вторую группу дешифраторов превышения, первый и второй элементы ИЛИ-НЕ, формирователь эквивалентов, включающий в свой состав первый, второй и третий дешифраторы и шифратор, первую вторую и третью группы элементов И, группу элементов ИЛИ.

Известный преобразователь не обеспечивает достаточно высокого быстродействия, из-за наличия трех шагов (1, а, b) преобразования, и необходимости подачи  $N3 = \lceil (k - 1)/b \rceil + \lceil (b - 1)/a \rceil$  импульсов для преобразования  $K$ -ичного кода.

Наиболее близким по совокупности признаков к заявляемому является преобразователь двоично- $K$ -ичного кода в двоичный код [Заявка Украины № 96010262, кл. H 03 M 7/12 от 23.01.96, решение о выдаче патента Украины от 05.03.97], содержащий группу из  $n$  разрядных регистров сдвига, где  $n$ -разрядность входного кода, генератор импульсов, группу из  $(n - 1)$ -го триггера состояния, комбинационный двоичный сумматор и регистр результата, образующих в совокупности на-

капливающий сумматор, формирователь эквивалентов, включающий в свой состав группу элементов И, группу элементов ИЛИ, шифратор, суммирующий счетчик импульсов, комбинационный сдвигатель.

Описанный преобразователь при наличии четырех шагов (I, a, b, c), где c – четвертый шаг преобразования ( $c \approx 8$ ), не обеспечивает достаточно высокого быстродействия из-за необходимости подачи  $N4=5$  импульсов при преобразовании K-ичных чисел ( $3 < K \leq 15$ ).

В основу изобретения поставлена задача создания такого преобразователя двоично-K-значного кода в двоичный код, в котором новое схемное решение позволило бы при небольшом увеличении аппаратных затрат существенно повысить его быстродействие.

Такой технический результат может быть достигнут, если в преобразователь двоично-K-ичного кода в двоичный код, содержащий группу из  $n$  разрядных регистров сдвига, где  $n$ -разрядность входного кода, параллельные информационные входы которых являются входами преобразователя, генератор импульсов, первую группу из  $(n-1)$ -го триггера состояния, накапливающий сумматор, выполненный из комбинационного двоичного сумматора и регистра результата, формирователь эквивалентов, состоящий из первого шифратора, суммирующего счетчика импульсов, комбинационного сдвигателя, группы элементов И, группы элементов ИЛИ, при этом выходы регистра результата накапливающего сумматора являются выходами преобразователя и соединены с соответствующими вторыми входами комбинационного двоичного сумматора, младшие первые входы которого являются младшими информационными входами накапливающего сумматора и соединены с соответствующими выходами группы элементов ИЛИ, старшие информационные входы накапливающего сумматора соединены с соответствующими старшими информационными выходами формирователя эквивалентов, выходы комбинационного двоичного сумматора соединены с соответствующими входами регистра результата, синхровход которого соединен с прямым задержанным выходом генератора импульсов, прямой выход которого соединен с синхровходом первой группы триггеров состояния, прямые выходы которых соединены через входы второй информационной группы входов формирователя эквивалентов с соответствующими входами первого шифратора, информационные входы  $i$ -го триггера состояния ( $i = 1, \dots, (n-1)$ ) первой группы соедине-

ны с выходами первого бита  $((i+1)$ -го разрядного регистра сдвига, входы сдвига которых соединены с инверсным выходом генератора импульсов, битовые выходы младшего разрядного регистра сдвига соединены через соответствующие биты первой группы входов формирователя эквивалентов с соответствующими первыми входами группы элементов И, выходы которых соединены с соответствующими первыми входами группы элементов ИЛИ, вторые входы которых соединены с соответствующими младшими выходами комбинационного сдвигателя, старшие выходы которого являются соответствующими старшими выходами формирователя эквивалентов, а управляющие входы соединены с соответствующими младшими выходами суммирующего счетчика импульсов, старший выход которого соединен со всеми вторыми входами группы элементов И, а синхровход счетчика соединен с прямым выходом генератора импульсов, согласно изобретению введена вторая группа из  $(n-1)$ -го триггера состояния, синхровходы которых соединены с прямым выходом генератора импульсов, информационные входы  $i$ -го триггера состояния ( $i = 1, 2, \dots, (n-1)$ ) второй группы соединены с выходами третьего бита  $((i+1)$ -го разрядного регистра сдвига, прямые выходы триггеров состояния второй группы соединены с соответствующими входами третьей информационной группы входов формирователя эквивалентов, в который комбинационный двоичный сумматор и второй шифратор, входы которого являются входами третьей информационной группы входов формирователя эквивалентов, а выходы второго шифратора соединены с соответствующими входами второго слагаемого в комбинационном двоичном сумматоре формирователя эквивалентов, входы первого слагаемого комбинационного двоичного сумматора формирователя эквивалентов соединены с соответствующими выходами первого шифратора, выходы комбинационного двоичного сумматора формирователя эквивалентов соединены с соответствующими входами комбинационного сдвигателя, входы сброса триггеров состояния первой группы соединены со старшим информационным выходом суммирующего счетчика импульсов в формирователе эквивалентов.

Введение в известный преобразователь двоично-K-ичного кода в двоичный код второй группы из  $(n-1)$ -го триггера состояния, а в формирователь эквивалентов преобразователя второго шифратора и комбинационного сумматора, а также новых связей, позволило, при небольшом увеличении ап-

паратурных затрат, значительно повысить быстродействие, сократив максимальное число тактов преобразования с пяти до трех.

На чертеже приведена структурная схема преобразователя двоично-К-ичного кода в двоичный код при  $K = 12$ ,  $n = 3$ .

Преобразователь содержит группу из  $n$  разрядных регистров  $l$  сдвига, где  $n$  — разрядность входного кода, параллельные информационные входы которых являются входами преобразователя, генератор 2 импульсов, содержащий прямой  $\Pi$ , инверсный  $\bar{\Pi}$ , прямой задержанный  $\Pi_3$  выходы, первую группу из  $(n - 1)$ -го триггера 3 состояния, вторую группу из  $(n - 1)$ -го триггера 4 состояния, накапливающий сумматор 5, выполненный из комбинационного двоичного сумматора 6 и регистра 7 результата, формирователь 8 эквивалентов, состоящий из первого  $9_1$  и второго  $9_2$  шифраторов, группы элементов И 10, группы элементов ИЛИ 11, суммирующего счетчика 12 импульсов, комбинационного сумматора 13 и сдвигателя 14. Выходы регистра 7 результата являются выходами преобразователя и соединены с соответствующими вторыми входами комбинационного двоичного сумматора 6, младшие первые входы которого являются младшими информационными входами сумматора 5 и соединены с соответствующими выходами группы элементов ИЛИ 11 формирователя 8 эквивалентов, старшие информационные входы накапливающего сумматора 5 соединены с соответствующими старшими информационными выходами формирователя 8 эквивалентов, выходы комбинационного двоичного 6 сумматора соединены со входами регистра 7 результата, синхровход которого соединен с прямым задержанным выходом  $\Pi_3$  генератора 2 импульсов, прямой выход  $\Pi$  которого соединен с синхровходами триггеров 3<sub>1</sub> состояния первой группы, с синхровходом суммирующего счетчика 12 импульсов, с синхровходами триггеров 4<sub>1</sub> состояния второй группы, прямые входы которых соединены через входы третьей информационной группы входов формирователя 8 эквивалентов с соответствующими входами второго шифратора 9<sub>2</sub>, выходы которого соединены с соответствующими входами второго слагаемого в комбинационном двоичном сумматоре 13, выходы которого соединены с соответствующими входами комбинационного сдвигателя 14, информационные входы  $l$ -го триггера 4<sub>1</sub> состояния второй группы ( $l = 1, 2, \dots, (n - 1)$ ) соединены с выходами третьего бита  $(l + 1)$ -го разрядного регистра сдвига, информационные входы  $l$ -го триггера 3<sub>1</sub> состояния

первой группы ( $l = 1, 2, \dots, (n - 1)$ ) соединены с выходами первого бита  $(l + 1)$ -го разрядного регистра  $l$  сдвига, входы сдвига которых соединены с инверсным выходом  $\bar{\Pi}$  генератора 2 импульсов, входы сброса всех триггеров 3<sub>1</sub> состояния второй группы соединены со старшим информационным выходом суммирующего счетчика 12 импульсов, выходы триггеров 3<sub>1</sub> состояния первой группы через входы второй информационной группы соединены с соответствующими входами первого шифратора 9<sub>1</sub>, выходы которого соединены с соответствующими входами первого слагаемого в комбинационном двоичном сумматоре 13, выходы которого соединены с соответствующими входами комбинационного сдвигателя 14.

Битовые входы младшего разрядного регистра  $l_1$  сдвига соединены через соответствующие биты первой группы входов формирователя 8 эквивалентов с соответствующими первыми входами группы элементов И 10, выходы которых соединены с соответствующими первыми входами группы элементов ИЛИ 11, вторые входы которых соединены с соответствующими младшими выходами комбинационного сдвигателя 14, старшие выходы которого являются соответствующими старшими выходами формирователя 8 эквивалентов, управляющие входы сдвигателя 14 соединены с соответствующими младшими выходами суммирующего счетчика 12 импульсов, старший выход которого соединен со всеми вторыми входами элементов И 10 группы.

Цепи инициирования и сброса на чертеже не приведены.

Устройство работает следующим образом.

Так как в конкретном случае  $n = 3$ ,  $K = 12$ , то диапазон изменения входного кода от 0 до  $(12^3 - 1) = 0 - 1727(10)$ .

Группа триггеров 3 состояния фиксирует значение первых битов (выходов) соответствующих старших разрядных регистров 1.

Группа триггеров 4 состояния фиксирует значение третьих битов (выходов) соответствующих старших разрядных регистров 1.

Код состояний триггеров как первой группы 3, так и второй группы 4 может иметь четыре значения от 00 до 11.

В предлагаемом преобразователе двоично-К-значного кода в двоичный код формирователь эквивалентов 8, выполненный в виде последовательного соединения комбинационного сдвигателя 14, комбинационного сумматора 13, первого и второго шифраторов 9<sub>1</sub> и 9<sub>2</sub>, а также суммирующего счетчика 12 импульсов с предустановкой, реализует функцию

$$S = \begin{cases} (KC1 + K^2C2) + (bKD1 + bK^2D2) & \text{при } j = 1, \\ (aKC1 + aK^2C2) + (cKD1 + cK^2D2) & \text{при } j = 2, \\ X1 & \text{при } j = 3, \end{cases}$$

где  $a$  – второй шаг преобразования (вес второго бита);  $b$  – третий шаг преобразования (вес третьего бита);  $c$  – четвертый шаг преобразования (вес четвертого бита);  $X1$  – младшая тетрада преобразуемого целого числа;  $j$  – номер такта сдвига. Первый шаг преобразования (вес первого бита) равен 1.

Формирователь эквивалентов 8 преобразует вначале в первом такте двоичный код  $C1$   $C2$  триггеров 3 состояния, соответствующих значениям бита 1, соответствующих значениям бита 1 соответствующих старших разрядных регистров 1 и двоичный код  $D1$   $D2$  триггеров 4 состояния, соответствующих значениям бита 3 соответствующих старших разрядных регистров 1; во втором такте пре-

образует со сдвигом влево на один разряд (в сторону старших двоичных разрядов) код  $C1$   $C2$  триггеров 3 состояния, соответствующих значениям бита 2 старших разрядных регистров 1 и двоичный код  $D1$   $D2$  триггеров 4 состояния, соответствующих значениям бита 4 соответствующих старших разрядных регистров 1, и в третьем такте транслирует (передает без изменения) на выход формирователя 8 эквивалентов младшую тетраду  $X1$  преобразуемого целого числа.

При использовании двоично-десятичного кода прямого замещения 8421,  $c = 8 = 2b$ ,  $a = 2$ , значение эквивалента на выходе формирователя эквивалентов описывается функцией

$$S = \begin{cases} (KC1 + K^2C2) + (bKD1 + bK^2D2) & \text{при } j = 1, \\ 2[(KC1 + K^2C2) + (bKD1 + bK^2D2)] & \text{при } j = 2, \\ X1 & \text{при } j = 3, \end{cases}$$

где 2 перед квадратной скобкой  $[]$  означает сдвиг влево на один двоичный разряд с помощью комбинационного сдвигателя 14.

Составляющая эквивалента, соответствующая выражению  $(KC1 + K^2C2)$ , формируется в каждом такте первым шифратором  $9_1$ , составляющая эквивалента, соответствующая второму выражению  $(bKD1 + bK^2D2)$ , формируется в каждом такте вторым шифратором  $9_2$ . Сложение обоих составляющих выполняется комбинационным двоичным сумматором 13.

$$S = \begin{cases} 12 C1 + 144 C2 + (48 D1 + 576 D2) & \text{при } j = 1, \\ (24 C1 + 288 C2) + (96 D1 + 1152 D2) & \text{при } j = 2, \\ X1 & \text{при } j = 3, \end{cases}$$

Преобразование двоичных кодов  $C2$   $C1$  триггеров 3 состояния и двоичных кодов  $D2$   $D1$  триггеров 4 состояния соответствует закону функционирования формирователя эквивалентов (таблица)

В исходном состоянии регистр 7 результата обнулен, на прямом  $\Pi$  и прямом задержанном  $\Pi 3$  выходах генератора 2 – низкий уровень; на инверсном  $\Pi$  выходе генератора 2 – высокий уровень.

Запись информации в триггеры 3 состояния с первых выходов соответствующих старших разрядных регистров 1 сдвига и запись информации в триггеры 4 состояния с третьих выходов соответствующих старших разрядных регистров 1 сдвига производится перепадом 0 – 1, т.е. по переднему фронту импульсов с прямого выхода  $\Pi$  гене-

Рассмотрим работу устройства на следующем примере.

Пусть требуется преобразовать трехразрядный входной 12-ричный код числа

$$A0 = 1011\ 0110\ 1001_{(2)} = 869_{(12)} = 1665_{(10)};$$

Формирователь эквивалентов при использовании кода прямого замещения 8421 реализует функцию

ратора 2; сдвиг вправо (в сторону младших бит) в старших разрядных регистрах 1 также производится перепадом 0 – 1, т.е. по заднему фронту импульсов с инверсного выхода  $\Pi$  генератора 2.

Первоначальное занесение параллельного двоично-12-ричного кода преобразуемого числа в разрядные регистры 1 и предустановка суммирующего счетчика 12 по mod 3 формирователя эквивалентов 8 в состояние  $10_{(2)} = 2_{(10)}$  выполняется подачей нулевого сигнала на входы  $V$  разрядных регистров 1 сдвига и на вход параллельного занесения  $V$  счетчика 12. Запись информации в регистр результата производится перепадом 1 – 0 импульса с прямого задержанного выхода  $\Pi 3$  генератора 2.

С приходом переднего фронта первого положительного импульса с прямого выхода П генератора 2 состояние суммирующего счетчика 12 по mod 3 изменится с  $10_{(2)}$  на  $00_{(2)}$ ; нулевой код триггеров 3 состояния изменится с  $C2\ C1 = 0\ 0$  на  $C2\ C1 = 1\ 0$ . Этот код  $C2\ C1 = 1\ 0$  поступит на вторые информационные входы формирователя 8 эквивалентов и преобразуется в двоичный код числа 144 на выходе.

Одновременно нулевой код триггеров 4 состояния изменится с  $D2\ D1 = 0\ 0$  на  $D2\ D1 = 0\ 1$ . Этот код  $D2\ D1$  поступает на третьи информационные входы формирователя 8 эквивалентов и с помощью второго шифратора  $9_2$  преобразуется в двоичный код числа 48 на его выходе.

Двоичный комбинационный сумматор 13 в результате сложения составляющих эквивалента 144 и 48 выдаст на выходе двоичный код эквивалента  $192 = 144 + 48$ , который без изменения (из-за отсутствия сдвига в комбинационном сдвигателе 14) поступит на выходы формирователя эквивалентов 8.

Поступая с выхода ПЗ генератора 2 передний фронт первого положительного задержанного импульса ПЗ разрешит сложение чисел 0 и 192 в накапливающем сумматоре 5, а задний фронт этого же импульса произведет запись информации с выходов комбинационного сумматора 6 в регистр 7 результата, установив на вторых суммирующих входах сумматора 6 двоичное значение числа 192.

С приходом заднего фронта первого отрицательного импульса с инверсного выхода И генератора 2, т.е. по перепаду 1 - 0 на входах синхронизации С старших разрядных регистров 1 произойдет сдвиг информации в этих регистрах на один разряд, т.е. в регистрах 1 установится число

$$A1 = 0101\ 0011\ 1001.$$

С приходом переднего фронта второго положительного импульса с прямого выхода генератора 2 состояние суммирующего счетчика 12 изменится с 00 на 01, что приведет к сдвигу влево на один разряд выходного двоичного кода комбинационного сумматора 13 с помощью сдвигателя 14 и к записи в триггеры 3 состояния кода  $C2\ C1 = 11$ , а в триггеры 4 кода  $D2\ D1 = 10$ . В результате на выходах первого  $9_1$  и второго  $9_2$  шифраторов будут соответственно сформированы двоичные коды чисел 156 и 576, на выходах двоичного комбинационного сумматора появится

их сумма  $732 = 156 + 576$ . Из-за сдвига двоичного кода числа 732 комбинационным сдвигателем 14 на один двоичный разряд (что соответствует умножению числа на 2) на выходах формирователя эквивалентов 8 появится двоичный код числа 1464.

Передний фронт второго положительно-го задержанного импульса с выхода ПЗ генератора 2 разрешит сложение чисел 192 и 1464, а задний фронт этого же импульса произведет перезапись результата суммирования с выходов двоичного сумматора 6 в регистр 7 результата, установив на вторых суммирующих входах сумматора 6 двоичное значение числа 1656. Задний фронт второго отрицательного импульса установит в разрядных регистрах 1 сдвига число

$$A2 = 0010\ 0001\ 1001.$$

С приходом переднего фронта третьего положительного импульса с прямого выхода П генератора 2 в счетчике 12 установится состояние 10, а код триггеров 3 состояния с  $C2\ C1 = 11$  изменится на  $C2\ C1 = 01$ , код триггеров 4 состояния с  $D2\ D1 = 10$  изменится на  $D2\ D1 = 00$ . Затем после установления в счетчике 12 состояния 10 (единица на старшем выходе), единичный сигнал с этого выхода счетчика 12 поступит на входы R сброса регистра 3 состояния и на управляющие входы группы вентилей И10, что приведет к установлению нулевых кодов  $C2\ C1 = 00$  и  $D2\ D1 = 00$ , и к отпикиванию группы элементов И10.

В этом случае формирователь эквивалентов 8 транслирует двоичный код младшего разряда преобразуемого числа  $X1 = 9$  с разрядного регистра  $i_1$  на соответствующие четыре младших входа комбинационного сумматора 6. Передний фронт третьего прямого задержанного ПЗ импульса разрешит сложение чисел 1656 и 9, а задний фронт этого же импульса установит двоичный код числа 1665 на выходах устройства, установит двоичный код числа 1665 на выходах устройства. На этом процесс преобразования заканчивается.

Перед каждым следующим преобразованием необходимо обнулить регистр 7 результата и выполнить запись преобразуемого двоично-12-ричного числа в регистры 1 сдвига.

Быстродействие предлагаемого устройства не зависит от разрядности преобразуемого кода и для 12-ричной системы счисления не превышает трех тактов.

Закон функционирования формирователя эквивалентов

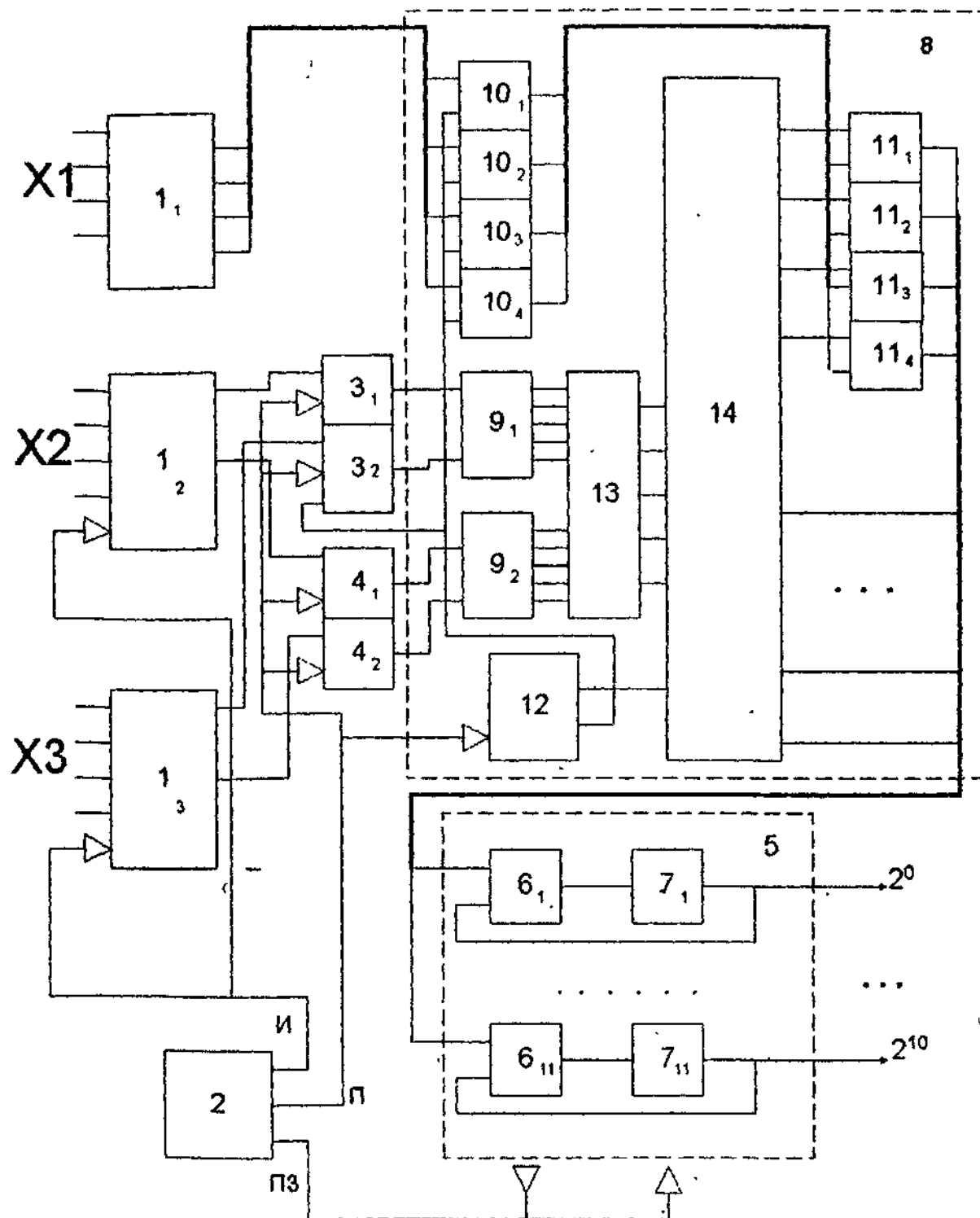
Такт	Триггеры состояния	Триггеры состояния	Общий вид эквивалента	Десятичный код эквивалента	Левый сдвиг	Значения выходных разрядов Y
j	D2 D1	C2 C1	S	S 10	m	11 10 9 8 7 6 5 4 3 2 1
1	X X	0 0	0	0	0	000 0000 0000
	X X	0 1	K	12		000 0000 1100
	X X	1 0	$K^2$	144		000 1001 0000
	X X	1 1	$K^2+K$	156		000 1001 1100
	0 0	X X	0	0		000 0000 0000
	0 1	X X	bK	48		000 0011 0000
	1 0	X X	$bK^2$	576		010 0100 0000
	1 1	X X	$bK^2+bK$	624		010 0111 0000
2	X X	0 0	0	0	1	000 0000 0000
	X X	0 1	2 K	24		000 0001 1000
	X X	1 0	$2 K^2$	288		001 0010 0000
	X X	1 1	$2 K^2+2 K$	312		001 0011 1000
	0 0	X X	0	0		000 0000 0000
	0 1	X X	2 b K	96		000 0110 0000
	1 0	X X	$2 b K^2$	1152		100 1000 0000
	1 1	X X	$2(b K^2+bK)$	1248		100 1110 0000
3	0 0	0 0	X1	X1	0	Трансляция тетрады X1

13

24674

14

## Преобразователь двоично-K-значного кода в двоичный код



Упорядник

Техред М.Келемеш

Коректор О. Обручар

Замовлення 4602

Тираж

Підписне

Державне патентне відомство України,  
254655, ГСП, Київ-53, Львівська пл., 8

Відкрите акціонерне товариство "Патент", м. Ужгород, вул.Гагаріна, 101