

Цей винахід стосується нової серії логічних елементів. Більш конкретно, цей винахід стосується серії логічних елементів, де як логічні елементи використовуються двовивідні халькогенідні перемикачі.

У галузі електронних компостерів, де постійно прагнуть вдосконалень щодо швидкодії і робочих характеристик, кремнієві напівпровідникові прилади, що застосовуються у більшості електронних комп'ютерів, почали сягати граничних значень швидкодії та розміру приладу / густини компонування. Конструктори комп'ютерів завжди намагаються зменшити час перемикання у ланцюгах перемикачів та збільшити їх густину компонування так, щоб забезпечити виконання найбільшого числа операцій перемикання за одиницю часу і водночас зменшити об'єм, який займають ланцюги перемикання. Прилади на переходах Джозефсона раніше вже стали об'єктом пильної уваги, як одні з потенційних нових приладів, що можуть стати проривом у виконанні цих вимог, і, отже, багато вивчалися логічні схеми, що їх застосовували.

Застосування переходів Джозефсона як елементів електронних ланцюгів стало можливим лише після того, як у 1902 було відкрито ефект Джозефсона. У той час нечисленні відомі надпровідникові матеріали мали такі низькі критичні температури (тобто температури, нижче яких матеріал ставав надпровідником), що ланцюги із застосуванням елементів на переході Джозефсона потребували джерела рідкого гелію, щоб підтримувати потрібну низьку температуру. З того часу вдосконалення у технології низьких температур і винайдення надпровідних матеріалів з високою T_c зробили ці обмеження менш серйозними, однак інші питання практичного характеру все ще не дають розпочати виробництво надпровідних логічних ланцюгів у комерційних масштабах.

Переходи Джозефсона є дуже незвичайними, нелінійними схемними елементами, які можуть застосовуватись у створенні ланцюгів з численними цікавими властивостями. Головними перевагами цих переходів є, як вважається, їх низьке енергоспоживання і висока швидкодія порівняно із звичайними нелінійними схемними елементами. Отже, прилади на переходах Джозефсона забезпечують високу швидкість операцій перемикання при низькому розсіянні потужності та високій чутливості, коли ефект Джозефсона має місце у надпровідному стані при дуже низьких температурах. Тому у минулі роки прилади на переходах Джозефсона дали початок надіям щодо реалізації надвисокошвидкісних комп'ютерів.

Прилад на переході Джозефсона, у своїй базовій конструкції, складається з двох надпровідників, що їх з'єднано один з одним через середовище, яке являє собою тонку ізолюючу плівку (тунельний перехід Джозефсона), і це називається приладом на тунельному переході Джозефсона. У випадку такої побудови, коли струм через перехід перевищує величину критичного струму переходу, прилад переходить з стану нульової напруги у стан під напругою (операція перемикання). Отже, робота приладу базується на існуванні двох станів елементу (переходу Джозефсона) і факті того, що елемент може перемикатись з одного стану у інший під дією магнітного поля чи поданого струму. Один з цих станів - стан тунелювання пар переходу, коли струм може йти через бар'єрну зону без падіння напруги. Інший стан - стан тунелювання поодиноких частинок, коли струм йде при напрузі переходу, що дорівнює 2Δ , де Δ є енергетичною щільною надпровідника. Для олова 2Δ дорівнює приблизно 1мВ при 1,7К. Перехід з одного стану у інший наближається, коли струм через перехід Джозефсона перевищує критичну величину. Критичний струм I_c визначається як найбільший струм, що може йти через перехід при нульовій напрузі. Отже, вольт-амперні характеристики приладу є такими, що напруга переходу залишається нульовою, доки струм не сягне критичної величини, і тоді напруга на приладі скачкоподібно зміниться, набувши кінцевої величини, після чого повільно збільшуватиметься із ростом струму. Величина критичного струму залежить від магнітного поля, прикладеного до приладу на переході Джозефсона.

Патенти США №№ 3,626,391; 3,281,609; 3,758,795; 3,825,906 тощо розкривають ідею застосування переходу Джозефсона у таких джозефсонівських схемних приладах, як, наприклад, елемент пам'яті, логічний елемент чи регістр зсуву.

Є два основні типи логічних джозефсонівських елементів: з інжекцією носіїв заряду та з магнітним управлінням. Усі наявні на сьогоднішній день інтегральні схеми з переходами Джозефсона застосовують один чи обидва ці типи елементів. Найшвидші логічні елементи використовують

комбінацію цих двох типів. Усі названі типи джозефсонівських інтегральних схем мають описані нижче вади.

Звичайні надпровідникові логічні схеми можна приблизно класифікувати за відносною системою на такі типи: з магнітною взаємодією та з інжекцією носіїв заряду. У випадку надпровідникової логічної схеми першого типу вхідний сигнал магнітно взаємодіє з ланцюгом, що включає перехід Джозефсона та індуктивність, і логічні операції виконуються шляхом переведення джозефсонівського переходу у стан з ненульовою напругою, як це описано у патенті США № 3,978,351.

У цьому прикладі перехід Джозефсона та індуктивність складають інтерферометр кванта магнітного потоку, і добуток індуктивності L та критичного струму I_J переходу Джозефсона вибирають таким, щоб він приблизно дорівнював одному кванту магнітного потоку. Отже, коли критичний струм I_J роблять малим для зменшення енергоспоживання, потрібна велика індуктивність, що ускладнює практичну реалізацію компактної схеми і зменшує швидкодію. І навпаки, коли індуктивність L вибирають малою, щоб збільшити швидкодію, величина критичного струму I_J стає більшою, і зростає енергоспоживання. Крім того, схема зазнає впливу зовнішнього магнітного шуму, паразитної індуктивності тощо, і це призводить до значних флуктуацій та нестабільної дії. Ця схема також незручна, оскільки структурно складним є досягнення рівномірного та ефективного підключення ряду вхідних проводів.

Надпровідна логічна схема з інжекцією носіїв заряду є вдосконаленням, оскільки тут немає потреби у інтерферометрі кванта магнітного потоку. У надпровідній логічній схемі такого типу струм прямо проходить через перехід Джозефсона для перемикання у стан з ненульовою напругою i , отже, виконання логічної операції. Надпровідникова логічна схема з інжекцією носіїв заряду, що відповідає попередньому стану техніки, без застосування інтерферометра квантума магнітного потоку описана у IEDM "Josephson Direct Coupled Logic (DCL)" (1492,12), IBM. Згідно з цим прикладом, вдається вирішити проблеми надпровідникової логічної схеми з магнітною взаємодією і із застосуванням інтерферометра кванта магнітного потоку. Однак, поріг для визначення чутливості визначається лише перемиканням у стан з ненульовою напругою одного джозефсонівського переходу, таким що можна одержати коефіцієнт передачі за струмом, максимум, 1. Отже, хоча і вигідним є використання такої схеми як перемикача, важко застосовувати її у різноманітних типах логічних схем.

У статті "Threshold Logic" Daniel Hampel та Robert Widner, що її опубліковано у IEEE Spectrum, May, 1971, pp. 32 – 39, розкриваються порогові логічні елементи та засоби втілення таких елементів у великомасштабних інтегральних схемах. Як підкреслюється у цій статті, порогові логічні елементи мають більші логічні можливості порівняно із стандартними булевськими логічними елементами, такими як елементи І, АБО, АБО-НІ. В принципі, пороговий логічний елемент одержує N логічних вхідних сигналів, зважає ці N входів з рівними чи нерівними вагами, підсумовує зважені вхідні сигнали та видає логічний вихідний сигнал, якщо сума більша чи дорівнює пороговому ваговому фактору.

Звичайна порогова логіка втілюється із застосуванням джерела струму та порогового детектора або техніки підсумовування магнітного потоку, яку описано вище. Техніка підсумовування струму та техніка підсумовування магнітного потоку потребують точності у генеруванні аналогової величини, яку будуть порівнювати з пороговим значенням. Точності також потребує застосування приладів з переходом Джозефсона. У випадку джозефсонівського переходу джерелом аналогової точності є напруга, що зазначалась вище як Дельта. Параметр Дельта, по суті, є щільною в енергетичному спектрі електронів провідності надпровідника, що розглядається, і є постійною величиною для конкретного матеріалу.

Логічні схеми з застосуванням переходів Джозефсона мають і інші недоліки на додаток до тих, що вже обговорювались вище. Наприклад деякі схеми перемикачів за технологією джозефсонівських переходів мають ту значну ваду, що вони не можуть автоматично повертатись у початковий стан, отже потрібні додаткові перемикачі для виконання операції повернення у початковий стан. Хоча це не постає як технічна проблема, економічний бік будь-якого такого приладу, що застосовує схеми перемикачів за нинішньою технологією, страждає значно через довгий час тривалості циклів. Іншою вадою є проблема усунення перехресних перешкод між джозефсонівськими приладами у джозефсонівських логічних матрицях, що їх викликають перехідні

процеси струму при перемиканні приладу. Також, вольт-амперна характеристика приладу з тунельним переходом Джозефсона, як відомо, має нестабільну зону, що відповідає низьким напругам. Якщо спробувати прикласти напругу зміщення у нестабільній зоні, точка спрацьовування приладу скакатиме між станом надструму ($V = 0$) та станом кінцевої величини напруги ($V \neq 0$, як правило $V = 2 \text{ ДЕЛЬТА}$, напруги щілини надпровідника). Цю проблему називають релаксаційними коливаннями.

Отже, звичайний прилад на переході Джозефсона виявився не в змозі водночас задовільними трьома вимогам, тобто:

- 1) зменшення розміру приладу для досягнення високої густини компонування інтегральних схем;
- 2) висока чутливість, що забезпечує широку межу дії; та
- 3) ідеальна ізоляція між струмами вхідного й вихідного сигналів приладу.

Усі ці три вимоги є обов'язковими для компонентів майбутніх електронних комп'ютерів для забезпечення стабільної та високошвидкісної дії логічних схем.

Іншим недоліком технології джозефсонівських переходів є велика кількість етапів обробки, що їх треба пройти у виробництві приладів. Основним фактором, визначальним для ефективності процесів в інтегральних схемах та виходу придатних схем, є кількість етапів, що складають процес. Наприклад, якщо процес складається з дванадцяти етапів, і очікуваний вихід придатних на кожному етапі становить дев'яносто відсотків, тоді загальний вихід дієвих приладів по закінченні усіх дванадцяти етапів буде дорівнювати $0,9^{12}$, або приблизно 28%. Однак, якщо процес складається з восьми етапів, і на кожному з них ймовірність одержання придатного пристрою становить дев'яносто відсотків, кінцевий вихід придатних по закінченні зазначеного процесу з восьми етапів дорівнюватиме $0,9^8$, або 43%. Отже, суто зменшення кількості етапів дає покращення показника виходу придатних без будь-якого підвищення якості обробки. Крім того, велика кількість етапів обробки, створює проблеми з прилипанням, покриття ступеньки та пошкодженням раніше нанесених шарів. Чим довша тривалість виробництва, тим меншою є кількість приладів, що пройдуть увесь процес виготовлення.

Процес виробництва логічних інтегральних схем з переходом Джозефсона включає приблизно 12 етапів осадження, 12 етапів фоторезисту, етап анодування і етап формування бар'єру переходу. Як правило, процес включає нанесення чотирьох надпровідникових шарів, а саме: земляний шар, нижній електрод Джозефсона, протилежний джозефсонівський електрод та лінії управління. Мікз'єднання, контури інтерферометра та інші схемні елементи сформовано з останніх трьох шарів. Кожен надпровідниковий шар відокремлюється від суміжного надпровідникового шару ізолюючим шаром, який виготовляється у такій формі, щоб забезпечити наскрізні отвори, потрібні для електричних міжшарових з'єднань. Нанесення резисторів, додаткових ізолюючих шарів з метою збільшення індуктивності, пасивуючих шарів та анодування є етапами, які виконуються для завершення виконання схеми. Таким чином, виявляється, що у цьому процесі потрібні, щонайменше, дев'ять тонких плівок і етапів формування. Отже, бажаним є зменшення кількості етапів обробки, що потрібні для формування логічних схем.

Технологія перемикачів, що подібна до технології джозефсонівських переходів і відома вже приблизно 30 років, - це пороговий перемикач на елементах Овшинського. Цей прилад розпочинає роботу у закритому або непровідному стані, і потрібна критична напруга, щоб перемкнути його у відкритий стан. Його вольт-амперна характеристика має вигляд, подібний до характеристики джозефсонівського переходу, якщо поміняти місцями осі струму та напруги. Як і у випадку переходу Джозефсона, швидкість перемикання цього приладу обмежується електричною ємністю приладу, однак, оскільки ці прилади мають більшу товщину, вони характеризуються і меншою електричною ємністю за певної літографії. Крім того, потенціал порогових перемикачів на елементах Овшинського щодо швидкодії/ енергоспоживання виглядає краще порівняно з кремнієвими і арсенід галієвими технологіями, а також практичними втіленнями джозефсонівської логіки.

Тепер, коли кінець значним збільшенням густини компонування у кремнієвій технології вже близько, у складних логічних схемах заявила нагальна потреба у більш досконалій технології майбутнього, що замінить собою кремнієві транзистори.

Тому, одна з цілей цього винаходу полягає у тому, щоб визначити нову серію логічних елементів, де як логічні елементи застосовуються халькогенідні порогові перемикачі на елементах Овшинського.

Цей винахід визначає схему, що виконує логічну операцію і складається, принаймні, з одного логічного елемента. Кожен логічний елемент містить: перший халькогенідний пороговий перемикач, з'єднаний одним кінцем з точкою активації, а іншим кінцем з другим халькогенідним пороговим перемикачем; принаймні, один вхідний резистор, що його одним кінцем увімкнено між першим та другим пороговими перемикачами, а іншим кінцем до єдиної вхідної точки; третій пороговий перемикач, один кінець якого з'єднаний з другим пороговим перемикачем у контактній точці, протилежній з'єднанню першого та другого порогових перемикачів, другий пороговий перемикач з'єднано другим його кінцем з точкою повернення у початковий стан; і вихідну точку з контактом між другим та третім пороговими перемикачами.

Цей винахід також описує формувач дисплею для застосування у дисплеї з плоским екраном, що має лінії управління по рядах та колонках. Формувач дисплею складається з численних логічних елементів, де кожен логічний елемент має: перший і другий халькогенідні порогові перемикачі, що їх з'єднано послідовно; принаймні один вхідний резистор, і кожен таких вхідний резистор з'єднано одним його кінцем з контактом між першим та другим пороговими перемикачами, а іншим кінцем - з єдиною вхідною точкою.

На Фігурі 1 зображено циклічну зміну потужності у чотирифазовому циклі керування для формування двовивідної логіки, що її спеціально показано у випадку чотирифазового циклу керування, де кожен наступний тактовий імпульс має фазове зміщення на 90° порівняно з попереднім;

На Фігурі 2 показано, як чотирифазовий цикл управління дає змогу передати логічний вихідний сигнал логічної схеми до наступної логічної схеми у логічному ланцюзі, не впливаючи на інші логічні схеми у такому логічному ланцюзі;

На Фігурі 3 зображено циклічну зміну потужності у випадку трифазового циклу керування для формування двовивідної логіки, що її спеціально показано для випадку трифазового циклу управління, де кожен наступний тактовий імпульс має фазове зміщення на 120° порівняно з попереднім;

На Фігурі 4 показано інвертуючий буфер з одним входом, який на виході дає підсилений інвертований вхідний сигнал;

На Фігурі 5 зображено логічну схему з кількома входами, яка виконує логічну операцію, використовуючи для цього двовивідні халькогенідні перемикачі. Ця схема також здійснює інверсію і підсилення;

Фігура 6 зображує неінвертуючий буфер, який складається з двох інвертуючих схем, що їх показано на Фігурі 3, так, що вихідний сигнал першого інвертора подається на вхід другого інвертора. При такій побудові схеми вхідний сигнал, по суті, передається через усю схему і набуває помірного підсилення потужності;

Фігура 7 зображує логічну схему інвертора з одним входом, що виконує логічну операцію за допомогою трьох двовивідних халькогенідних порогових перемикачів;

На Фігурі 8 зображено циклічну зміну потужності у випадку трифазового циклу управління для формування логічних елементів, що складаються з трьох двовивідних халькогенідних порогових перемикачів, де третій пороговий перемикач застосовується для переведення вихідного сигналу у первісний стан;

Фігура 9 зображує логічну схему з кількома входами, яка виконує логічну операцію, використовуючи для цього три двовивідні халькогенідні порогові перемикачі;

На Фігурі 10 показано рядний регістр зсуву, що застосовується для зсуву сигналу вибору до кожної наступної рядкової лінії;

На Фігурі 11 зображено схему рядкового формувача для активування рядкових ліній та подавання високого формувального струму до рядкових ліній;

На Фігурі 12 зображено схему колонкового регістру зсуву для зсуву цифрових багатобітних даних рівня напруги до відповідних колонок;

На Фігурі 13 зображено схему декодера два-у-чотири, що застосовується для декодування рівнів напруги; і

Фігура 14 зображує цифро-аналоговий перетворювач, що застосовується для подавання аналогової напруги до кожної з колонок.

Логічна серія визначається як набір усіх можливих логічних схем, що їх можна побудувати із застосуванням певного логічного елемента чи

перемикача. У цьому випадку винахідники розробили логічну серію, що ґрунтується на застосуванні двовивідних халькогенідних перемикачів. Матеріали та процеси побудови таких перемикачів і їх електронні характеристики добре відомі з попереднього рівня техніки, і, як такі, не будуть тут повторно викладатись.

Для застосування у комп'ютерній техніці логічна серія має відповідати ряду фундаментальних вимог, серед яких у першу чергу слід відзначити здатність перетворювати двоїчну "одиницю" у двоїчний "нуль" і навпаки. Ця операція відома як інверсія. Друга найбільш важлива вимога формулюється як здатність виконувати логічну операцію. Звичайними логічними операціями є І, АБО, І-НІ, АБО-НІ тощо. Є і інші, але будь-якої з названих буде достатньо. Третьою важливою вимогою до логічної серії є її здатність підсилювати сигнал. Тобто, вихід однієї логічної схеми повинен бути спроможним відігравати роль вхідного сигналу для одразу кількох інших схем. І, нарешті, якщо логічний елемент чи перемикач має таку властивість, як фіксування стану (тобто прилад автоматично не вимикається, а має вимикатись ззовні), необхідно забезпечити засоби для повернення елемента / перемикача у початковий стан, щоб він міг далі виконувати операції перемикання. Якщо елемент / перемикач і уся логічна серія, побудована на ньому, задовольняє цим вимогам, їх можна застосовувати у комп'ютерній логіці.

Наведене вище являє собою суто технічні вимоги до логічної серії, у той час як для цілей практичної реалізації до елементів / перемикачів висуваються і інші важливі інженерні вимоги. По-перше, слід зазначити, що швидкість перемикання елемента / перемикача прямо пов'язана із швидкодією комп'ютера, отже, чим нижча швидкість перемикання елемента / перемикача, тим більш швидким може бути комп'ютер. Крім того, розмір приладу прямо визначає максимально можливу густину компонування схем. Також, при побудові схеми до уваги слід приймати і потужність, розсіювану приладом, так, щоб теплова енергія, яка генерується, належним чином усувалась. А ще логічні схеми мають бути досить стійкими до шуму. Тобто перешкодозахищеність елемента / перемикача має бути досить високою, щоб до системи не потрапили несправжні сигнали. І, нарешті, виробничі витрати (тобто вартість сировини, здійснення виробничих операцій, оплата праці тощо) є ще одним обмеженням у практичному втіленні будь-якої нової логічної серії.

Запропонована логічна серія, що ґрунтується на двовивідних халькогенідних перемикачах, відповідає усім зазначеним технічним і інженерним вимогам до логічної серії. Спочатку, ми обговоримо технічні обмеження логічної серії порівняно із можливостями логічної серії порогових перемикачів відповідно до цього винаходу із посиланнями на фігури.

Одним з технічних питань, що називались вище, є така властивість елемента / перемикача, як фіксування стану. Двовивідний халькогенідний пороговий перемикач, такий як пороговий перемикач на елементах Овшинського (OTS), має зазначену властивість. Тобто, по досягненні порогового значення напруги OTS вмикається, і струм проходить крізь нього. Після такого увімкнення OTS залишатиметься у такому стані, аж доки струм, що протікає крізь нього, не впаде нижче критичного значення, відомого як струм утримання.

Для забезпечення вимикання, коли це потрібно, логічних елементів / OTS логічної серії відповідно до цього винаходу треба зупини проходження струму через них. Одним з способів здійснення цього є використання чотирифазової системи управління. Фігура 1 зображує сигнали потужності у чотирифазовій системі управління. Тут видно, що кожна з чотирьох стадій системи тактових сигналів відрізняється за фазою від попередньої на 90° . Така чотирифазова система управління дає змогу здійснювати належне передавання даних від однієї логічної схеми до іншої. Щоб уявити, як це здійснюється, подивиться на блок-схему, зображену на Фігурі 2. Тут показано момент тактового циклу, коли наявні сигнали стадій 0 та 1, а сигнали стадій 3 та 4 - відсутні. У цей момент логічна схема, на яку подано сигнал управління 0, виконала свою логічну операцію і передає вихідний сигнал на наступну логічну схему (чи схеми) вздовж логічної доріжки, куди подано сигнал управління стадії 1. Отже, логічні схеми, на які подано тактовий сигнал стадії 1, "переходять у стан "1"". Слід зазначити, що, оскільки тактові сигнали стадій 2 і 3 відсутні у цей час, логічні схеми та їх OTS закриті, і інформація не передається у ці схеми чи з них (це сприяє перешкодозахищеності). Як тільки логічні схеми з наявним тактовим сигналом стадії 1 встановлюються у "1", сигнал стадії 0 падає, і вмикається сигнал стадії 2. Тепер логічний

вихідний сигнал логічних схем, що управляються тактовим сигналом стадії 1, передається до логічних схем, що управляються сигналами стадії 2. Потім падає сигнал управління стадії 1, а виникає сигнал управління стадії 3. Цикл закінчується, коли зникає сигнал стадії 2, а тактовий сигнал стадії 0 знову заявляється. Хоча Фігура 1 зображує чотирифазові тактові сигнали, де тривалість увімкненого та вимкненого періодів однакова (тобто з 50% коефіцієнтом заповнення), коли фаза наступного відрізняється від фази попереднього на 90° , є багато інших способів втілення чотирифазових сигналів управління. Чотирифазові сигнали керування добре відомі у техніці двовивідної логіки, і їх описано W. F. Chow, "Principles of Tunnel Diode Circuits", John Wiley & Sons, Inc. 1964, pp. 253 - 254.

Побудову логічних схем з застосуванням халькогенідних порогових перемикачів можна здійснити, використовуючи трифазову систему тактових сигналів. На Фігурі 3 зображені сигнали потужності для випадку трифазової системи управління. Три стадії трифазової системи тактових сигналів позначено як C1, що відповідає "стадії 1", C2 - для "стадії 2" та C3 - для "стадії 3". Кожна з трьох стадій управління відрізняється за фазою від попередньої на 120° . У трифазовій системі кожен цикл певної фази поділяється на три сегменти. Впродовж першого сегмента стадія логіки встановлюється у "1". Під час другого сегменту стадія передає свій сигнал наступній стадії логіки. Впродовж третього сегменту вихідний сигнал стадії повертається до потенціалу землі. Для побудови трифазової схеми управління треба поділити логічні елементи, що складають логічну схему, на групи, що відповідають стадії 1, стадії 2 та стадії 3. Стадія, що відповідає тому чи іншому елементу, залежить від його розташування у схемі відносно до інших елементів та входу схеми. Виводи CLK елементів стадій 1, 2 та 3 будуть з'єднані із контактами C1, C2, C3, відповідно, з яких знімаються тактові сигнали, що відрізняються за фазою.

Ще одна технічна вимога до логічної серії полягає у її здатності перетворювати двоїчну "одиницю" на двоїчний "нуль" і навпаки. Це називається ІНВЕРСИЄЮ. На Фігурі 4 зображено схему "ІНВЕРТОРА", яка показує здатність логічної серії, що розглядається, виконувати операцію ІНВЕРСИЇ. Цю схему можна також розглядати, як інвертуючий буфер, оскільки сигнал лише інвертується і передається у наступну схему без виконання логічної операції. У цій схемі наявні два OTS: OTS1 та OTS2, з'єднані послідовно. Точка А входу даних з'єднана з вхідним резистором R1, який, в свою чергу, увімкнений між двома OTS. Сигнал потужності управління подається на вивід CLK OTS1, протилежний точці з'єднання R1, OTS1 та OTS2. Вивід другого перемикача OTS2, протилежний точці з'єднання R1-OTS1-OTS2, з'єднано з землею (GND) через резистор R3. Точка виводу даних виходить з-поміж другого перемикача OTS2 та резистора R3. Взагалі, величина електричного опору резистора R1 значно більша від R3. Під час дії цієї схеми рівень тактового сигналу високий, тобто схему увімкнено і потенціал на CLK -високий. Відповідно, якщо вхідний сигнал А також з високим рівнем, напруга на OTS1 не є достатньою, щоб викликати його перемикач, тобто для того, щоб перевищити його порогове значення напруження. Отже, потенціал на виході OUT низький. І навпаки, якщо вхідний сигнал А має низький рівень, напруга на OTS1 буде достатньою для перевищення порогового рівня, і імпеданс перемикача впаде. Це створює достатньо великий потенціал між контактами OTS2, такий, що змушує його перемкнутись, і потенціал вихідного сигналу зростає до високого рівня.

Ще однією вимогою, що висувається до логічної серії, є її здатність виконувати логічні операції. Фігура 5 зображує схему, що відповідає даній логічній серії, яка задовольняє названій вимозі. Ця схема, в принципі, є тією самою, що і схема ІНВЕРТОРА, зображена на Фігурі 4, за винятком наявності додаткового входу В з відповідним вхідним резистором. Отже, тепер є два входи А та В, кожен з яких має свій відповідний вхідний резистор R1 та R2. Резистор заземлення позначено на цій схемі як R3. Як і в схемі ІНВЕРТОРА, значення електричного опору резисторів R1 та R2 значно перевищує значення резистора R3. Ця схема працює дуже подібно до ІНВЕРТОРА з Фігури 3, з тією відмінністю, що у цьому випадку наявні два входи, і над вхідними сигналами виконується логічна операція. Як і раніше, під час роботи цієї схеми потенціал на CLK є високим. Якщо вхідний сигнал на будь-якому з входів А чи В є високим, або обидва вхідні сигнали на А та В є високими, OTS1 не перемкнеться. Отже, не перемикається і OTS2, і вихідний сигнал залишається низьким. Однак, якщо обидва вхідні сигнали на А та В матимуть низький рівень, OTS1

перемкнеться. Це спричинить появу високого потенціалу між виводами OTS2 і його перемикачів, що в свою чергу призводить до появи високого потенціалу на виході OUT схеми. Залежно від системи позначень, що застосовується, це буде елементом I-HI чи АБО-HI. Тобто, якщо низький потенціал відповідає логічному "0", а високий - логічний "1", схема діє як елемент АБО-HI. Навпаки, якщо низький потенціал вважається логічною "1", а високий - "0", схема буде діяти як елемент I-HI. Зміна порогової напруги перемикачів так, що будь-який вхідний сигнал з низьким рівнем викличе перемикач OTS1, також перетворить логічний елемент АБО-HI на I-HI.

Коло логічних елементів, що виконують логічні операції, не обмежується лише зображеними на Фігурі 5 з двома вхідними сигналами. Використовуватись може будь-яка кількість вхідних резисторів. Більше того, значення вхідних резисторів не повинні обов'язково бути однаковими.

Ще одним прикладом Логічної схеми з логічної серії відповідно до цього винаходу є неінвертуючий буфер, зображений на Фігурі 6. Це, по суті, два інвертуючі буфери, з'єднані так, що вихідний сигнал першого інвертора є вхідним сигналом для другого інвертора. Отже, впродовж одного тактового циклу сигнал інвертується і ре-інвертується. Отже, по суті, сигнал проходить через схему незмінним. Як і раніше, значення електричного опору резисторів R1 та R2 значно більші від резисторів заземлення R3 та R4.

І остання технічна вимога полягає в тому, що логічна серія повинна мати підсилювальну спроможність. Описані тут схеми забезпечують підсилення завдяки своїй внутрішній природі: Вихідний сигнал на виводі OUT кожної з зазначених схем зростає майже до рівня сигналу управління (силового сигналу), тобто потенціалу на CLK, а вихідний імпеданс значно нижчий від вхідного. Отже, немає потреби у будь-яких додаткових схемах підсилення.

Таким чином, усі вимоги до логічної серії виконано. Хоча у цьому викладенні подано конкретні схеми, що належать до логічної серії, що розглядається, вони є суто ілюстративними і не мають на меті обмежити обсяг цього винаходу. Фахівцям у цій галузі повинно бути зрозуміло, як можна побудувати численні інші схеми у межах запропонованої логічної серії, які будуть виконувати завдання, аналогічні до тих, що їх викладено тут.

Логічна серія схем, що виконують логічні операції, може також включати такі, де замість резистора, з'єданого з землею, використовується третій перемикач OTS. На Фігурі 7 зображено варіант втілення цього винаходу із застосуванням трьох OTS. OTS1 з'єднано одним кінцем з OTS2, а іншим кінцем - з виводом CLK+. Вивід CLK+ є точкою активації логічного елемента. У цьому варіанті втілення, один вхідний резистор з'єднано одним кінцем з проміжною точкою з'єднання OTS1-OTS2. Інший кінець вхідного резистора R1 служить як єдиний вхід А. Третій перемикач OTS - OTS3 - з'єднано одним кінцем з OTS2 у точці, протилежній місцю з'єднання OTS1-OTS2. Інший кінець OTS3 служить виводом CLK-. Вивід CLK- є точкою переведення у початковий стан логічного елемента. І, нарешті, точка виходу OUT виходить з-поміж OTS2-OTS3.

Логічні елементи відповідно до цього винаходу застосовують багатофазове управління. Така багатофазова система управління може бути чотирифазовою із 50% коефіцієнтом заповнення імпульсної послідовності чи трифазовою. Більш прийнятним є застосування трифазової системи управління. На Фігурі 8 зображено трифазову систему тактових сигналів, що може застосовуватись з цим винаходом. C1+, C2+ та C3+ з'єднані з виводами CLK+ (точками активації) логічних елементів, відповідно, першої, другої та третьої стадій. Також, C1-, C2- і C3- з'єднані з виводами CLK- (точка повернення у початковий стан) логічних елементів, відповідно, першої, другої та третьої стадій.

Як зазначалось вище, ключова відмінність між цією схемою та схемою Фігури 4 полягає в тому, що резистор навантаження замінено третім приладом OTS. Замість увімкнення резистора у ланцюзі землі використовується третій прилад OTS, на який подається тактовий імпульс повернення до початкового стану з виводу CLK-, який набуває попередньо визначеної негативної величини напруги і впродовж фази повернення до початкового стану.

У логічному елементі, зображеному на Фігурі 7, при застосуванні сигналів управління, показаних на Фігурі 8, впродовж перших двох фаз трифазового циклу управління, тобто фаз "встановлення "1"" та

"переходу", потенціал на CLK+ набуває наперед визначеного високого значення. Якщо вхідний сигнал А також має високий рівень, напруга на OTS1 не перевищить поріг, і OTS1 не зможе перемикнутись. Більше того, високий вхідний сигнал А є недостатнім для перемикання OTS2. Отже, вихідна напруга на OUT буде низькою.

Якщо вхідний сигнал А низький, напруга на CLK+ буде достатньою, щоб створити напругу на OTS1, більшу від порогового рівня, і OTS1 перемикнеться. Після перемикання OTS1 потенціал на OTS2 також сягне рівня вище порогу, і OTS2 перемикнеться, спричинюючи появу високого рівня вихідної напруги. Під час перших двох фаз трифазового циклу управління напруга на CLK- встановлюється такою, щоб OTS3 не перемикнувся, незалежно від рівня вхідної напруги на А (високого чи низького).

Під час третьої фази (фази повернення у початковий стан) трифазового циклу управління напруга, що подається на CLK-, зменшується до рівня, який вибирають так, щоб OTS3 перемикнувся, якщо вихідна напруга висока. У випадку, коли вихідна напруга буде низькою, напруга на OTS3 не перевищить поріг, і OTS3 не перемикнеться. Однак, якщо вихідна напруга висока, різниця потенціалів між виходами OTS3 виявляється достатньою, щоб OTS3 перемикнувся. Коли OTS3 перемикнеться, вихідна напруга впаде до низького рівня, і, таким чином, логічний елемент повернеться у початковий стан між циклами управління.

Застосування третього OTS для повернення логічного елемента у початковий стан являє собою значну перевагу, особливо у випадку, коли вихідна лінія довга, що створює значну електричну ємність навантаження. Тоді постійна часу RC, що є добутком електричної ємності навантаження та резистора навантаження, набуде високої величини, і розрядження ємності навантаження являтиме собою основну затримку у часі спрацювання логічного елемента. Використання третього OTS замість резистора навантаження вирішує цю проблему. У схемі на Фігурі 7 ключова перевага полягає в тому, що та ж сама густина електричного струму через OTS використовується і для зарядження, і для розрядження вихідної ємності. Це робить елемент майже ідеальним. Він досить малий за розміром і, водночас, здатний пропускати імпульс струму з тим лише обмеженням, що величина струму має відповідати характеристикам контактів. Схема, зображена на Фігурі 7, демонструє логічні характеристики ІНВЕРСІЇ і називається тут логічним елементом "ВДОСКОНАЛЕНИЙ ІНВЕРТОР".

Схема, подана на Фігурі 7, застосовує лише один вхідний резистор. Однак, відповідно до цього винаходу можна використовувати будь-яку кількість вхідних резисторів. Вхідні резистори можуть мати однакові чи різні значення електричного опору, що залежить від конкретного застосування. Більше того, набір вхідних резисторів можна замінити більш загальною функцією входу, що має один чи кілька входів, з лінійною чи нелінійною електронною системою, яка діє на ці входи, і з виходом, увімкненим між OTS1 та OTS2.

Варіант втілення цього винаходу із застосуванням двох вхідних резисторів зображено на Фігурі 9. Подібно до схеми, поданої на Фігурі 5, схема Фігури 9 виконує логічну операцію. Якщо будь-який з вхідних сигналів на А чи В має високий рівень, або обидва ці вхідні сигнали мають високий рівень, OTS1 не перемикається. Отже, не перемикається і OTS2, та вихідний сигнал має низький рівень. Однак, якщо обидва вхідні сигнали на А та В мають низький рівень, OTS1 перемикається. Це спричинює появу достатньо високої напруги на OTS2 так, що він перемикається, і вихід на виводі OUT стає високим. Залежно від використовуваної системи позначень цей елемент є логічним елементом АБО-НІ чи І-НІ. Отже, якщо низький потенціал є логічним "0", а високий - логічною "1", цей елемент є елементом АБО-НІ. І навпаки, якщо за "1" вважається низький потенціал, а за "0" - високий, схема діятиме як логічний елемент І-НІ. Ми назвали цю схему логічним елементом "ВДОСКОНАЛЕНИЙ АБО-НІ".

Логічні елементи із застосуванням халькогенідних порогових перемикачів можуть використовуватись як інтегральні схеми формувачів у різноманітних типах ланцюгів. Зокрема, їх можна використовувати як інтегральні схеми формувачів для дисплеїв з плоским екраном. Зараз найбільш важливим чинником у загальній вартості дисплеїв з плоским екраном є вартість периферійних ланцюгів, які електрично управляють рядками і колонками дисплея. Зараз ці ланцюги являють собою інтегральні схеми КМОН-структури із застосуванням кристалічного

кремнію, які прикріплюються до скляної панелі дисплею.

Для побудови таких ланцюгів управління застосовуються і полікристалічні кремнієві транзистори. Такі транзистори виконують безпосередньо на склі дисплею, що значно зменшує його вартість, оскільки не виникає потреби у підключенні окремих ланцюгів управління. На жаль, полікристалічні кремнієві транзистори мають продукуватись за високих температур обробки, і це змушує використовувати дорогі кварцові основи. Додаткові витрати на кварцову основу перекидаються економію від інтегрування формувачів.

Робились спроби використання тонкоплівкових транзисторів з аморфного кремнію для побудови таких ланцюгів управління, оскільки такі транзистори можуть осаджуватись за низьких температур на звичайних скляних основах. Однак ці транзистори мали надто низькі показники щодо допустимого струму порівняно з тими, що вимагались у схемах управління плоскими дисплеями, і ці спроби виявились невдалими.

У цьому винаході застосовуються логічні елементи, що використовують халькогенідні порогові перемикачі для виконання логічних функцій периферійних ланцюгів. Халькогенідні порогові перемикачі характеризуються високими значеннями допустимого струму, що дає змогу використовувати їх як формувачі дисплеїв. Вони можуть також наноситись при низьких температурах і є сумісними із звичайними скляними основами.

Ланцюги, необхідні для виконання периферійної логічної функції, включають рядкові та колонкові формувачі. Рядкові формувачі використовуються для того, щоб активувати одну лінію дисплею, а колонкові формувачі встановлюють певне значення інтенсивності у кожному елементі вздовж цієї лінії. Ланцюги рядкових формувачів включають регістр зсуву, який передає сигнал вибору до кожного наступного ряду, і схеми управління рядом для кожного ряду дисплею.

Регістр зсуву передає і зберігає послідовність цифрових вхідних даних. Одним з варіантів втілення регістру зсуву є з'єднана послідовність логічних елементів типу ІНВЕРТОР. Схему ІНВЕРТОРА ми розглядали вже раніше, і її зображено на Фігурі 4. ІНВЕРТОРИ з'єднано у такий спосіб, що вихід одного ІНВЕРТОРА з'єднано з єдиним входом наступного ІНВЕРТОРА у цій з'єднаній послідовності.

Варіант втілення рядкового регістру зсуву зображено на Фігурі 10. Тут застосовується трифазова система сигналів управління. На вивід CLK кожного елемента ІНВЕРТОР подається відповідна фаза (C1, C2 чи C3, як зображено на Фігурі 3) трифазного сигналу управління. Резистори заземлення кожного з логічних елементів з'єднані з єдиною точкою землі.

Під час кожного циклу управління рівень напруги на виході елементу інвертується, і інвертована величина передається на вихід наступного елемента. Таким чином, якщо рівень на виході першого елемента високий, то після першого циклу управління рівень на виході наступного елемента буде низьким. Отже, у процесі роботи, вхідні сигнали, що з'являються на виході регістру, інвертуються і передаються до наступного елементу.

Схема активації кожної з рядкових ліній включає також засоби формування ряду. Засоби формування ряду для активування рядкових ліній у дисплеях на рідких кристалах повинні бути здатними пропускати високий струм управління на дисплей, як правило більший від 100 міліампер. Фігура 11 показує варіант втілення частини загальної схеми рядкового формувача, що управляє рядком. Схеми рядкового формувача для кожної лінії рядка складаються з вдосконаленої схеми ІНВЕРСИЇ, де резистор заземлення замінено третім OTS, що його підключено до GND, точки землі. Цю схему позначено як ВДОСКОНАЛЕНИЙ ІНВЕРТОР. Точки активації кожної з схем ВДОСКОНАЛЕНОГО ІНВЕРТОРА з'єднано з спільною точкою активації. Спільна точка активації запускається тактовим сигналом, зображеним на Фігурі 11, як "ТРИГЕР". Точки повернення у початковий стан кожного з ВДОСКОНАЛЕНИХ ІНВЕРТОРІВ, зведені у спільну точку повернення у початковий стан. Важливість третього OTS вже обговорювалась вище. Він може забезпечити ідеальні характеристики перемикання під час високого струмового навантаження.

Під час послідовних тактових імпульсів рядковий регістр зсуву пересилає і інвертує послідовність даних на вході першого логічного елемента ІНВЕРТОР у з'єднаній послідовності ІНВЕРТОРІВ. Вхідну послідовність позначено як "ПОСЛІДОВНІСТЬ, ЩО ЗСУВАЄТЬСЯ" на Фігурі 10. Інвертована послідовність даних з'являється на виходах

першого, третього та п'ятого логічних елементів регістра зсуву після першого, третього та п'ятого тактових імпульсів. Це виходи OUT1, OUT2 та OUT3, відповідно. Зазначені вихідні сигнали подаються на входи IN1, IN2 та IN3 кожного з ВДОСКОНАЛЕНИХ ІНВЕРТОРІВ у частині схеми управління рядками загальної схеми формування рядків, як показано на Фігурі 11. Таким чином, зсув відповідних послідовностей даних (тобто ПОСЛІДОВНОСТІ, ЩО ЗСУВАЄТЬСЯ) на вході рядкового регістру зсуву, який зображено на Фігурі 10, далі активує і належним чином управляє Спільними лініями 1, 2 та 3, показаними на Фігурі 11.

Формувач колонки складається з трьох підсистем, а саме: колонкових засобів зсуву для передавання послідовності цифрових даних про інтенсивність в елементі, декодеру для перетворення цифрових даних про інтенсивність в елементі у цифровий вихідний сигнал декодера, і цифровий перетворювач для перетворення цифрового вихідного сигналу декодера на аналогові дані про інтенсивність в елементі.

На Фігурі 12 наведено варіант втілення засобів колонкового зсуву. Зображений тут колонковий регістр зсуву подібний до рядкового регістру зсуву, поданого на Фігурі 10. Регістр зсуву складається з послідовності ІНВЕРТОРІВ, де вихід одного ІНВЕРТОРА подається на вхід наступного інвертора у такій з'єднаній послідовності. Регістр зсуву передає цифрові багатобітні дані про рівень напруги до відповідних колонок.

Регістр зсуву, зображений на Фігурі 12, є втіленням чотирирівневої шкали сірого. Дві цифрові величини – D0 та D1 – потрібні для того, щоб представляти чотири рівні сірого для кожної колонки дисплея з плоским екраном. Щоб правильно реалізувати цей варіант втілення системи управління колонками відповідно до цього винаходу, чотири величини даних мають зсуватись у регістр зсуву для кожної колонки дисплею. Ці чотири величини являють собою послідовність (-D0, D0, -D1 та D1). -D0 і -D1 є комплементарними величинами до D0 та D1, відповідно. Отже, якщо D0 є високим рівнем, -D0 є низьким рівнем.

Дані, представлені цифровою послідовністю значень (-D0, D0, -D1 та D1), повинні декодуватись так, щоб кожна конкретна цифрова послідовність перетворювалась на єдине значення напруги, що має прикладатись до колонки. Взагалі, цю функцію виконують декодери. Варіант втілення декодера проілюстровано Фігурою 13. Тут зображено схему декодера, що складається з численних логічних елементів, кожен з яких являє собою елемент АБО-НІ з двома вхідними сигналами. Точка активації кожного з елементів АБО-НІ з'єднана із спільною точкою активації. Кожна з логічних схем АБО-НІ має дві вхідні точки, вибрані з послідовності (-D0, D0, -D1, D1).

Робота кожного з логічних елементів з двома входами вже пояснювалась вище. Коротко кажучи, якщо будь-який з вхідних сигналів яки обидва вхідні сигнали мають високий рівень, жоден з OTS не перемикається, і вихід матиме низький рівень. Однак, якщо обидва вхідні сигнали мають низький рівень, обидва OTS перемикаються, і вихід матиме високий рівень. Отже лише одна комбінація вхідних величин встановлює високий рівень на виході логічного елемента. Ця ідея застосовується у реалізації схеми декодера, зображений на Фігурі 13. На два виходи кожного з логічних елементів подається конкретна комбінація цифрових даних (-D0, D0, -D1, D1). Можливі такі варіанти вхідних сигналів логічних елементів: (-D0, -D1), (D0, -D1), (-D0, D1) та (D0, D1). Комбінацію вхідних сигналів вибирають таким чином, щоб, незалежно від того, якими будуть величини D0 та D1, лише одна комбінація була такою: (низький, низький), і лише один з виходів логічних елементів матиме високий рівень.

Варіант реалізації схеми декодера, зображений на Фігурі 13, призначено для декодування двох цифрових входів: D0 і D1. Декодування більше, ніж двох входів може здійснюватись із застосуванням логічних елементів АБО-НІ з більшим числом вхідних резисторів, увімкнених між парами порогових перемикачів. Також, схему декодера можна побудувати, використовуючи для цього логічні елементи ВДОСКОНАЛЕНІ АБО-НІ, зображені на Фігурі 9.

Останньою системою у колонковому формувачі системи є цифровий перетворювач, який потрібен для перетворення цифрового сигналу, що надходить з схеми декодера, на аналогову величину, що визначає рівень сірого для кожної з колонок. Цифровий перетворювач вибирає аналоговий вихід залежно від значень цифрових вхідних сигналів.

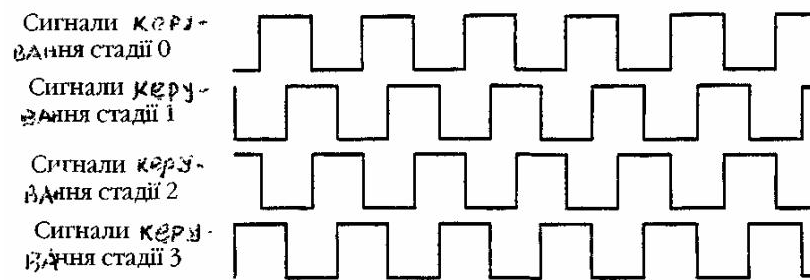
Фігура 14 зображує варіант реалізації цифрового перетворювача у вигляді цифро-аналогового перетворювача, який включає численні логічні елементи, де кожен елемент складається з халькогенідних порогових перемикачів. Кожен логічний елемент складається з першого

OTS, з'єднаного одним кінцем з другим OTS та іншим кінцем з точкою аналогової напруги. У кожному логічному елементі вхідний резистор увімкнено одним кінцем у точці між двома OTS. Інший кінець вхідного резистору є окремою точкою входу. Спільна точка виходу цифро-аналогового перетворювача з'єднана з другим пороговим перемикачем кожного логічного елемента у точці, протилежній місцю з'єднання першого та другого порогових перемикачів. Ця спільна вихідна точка цифро-аналогового перетворення має контакт з одним кінцем резистора, що його увімкнено у ланцюзі тактових сигналів. Інший кінець цього резистора служить точкою активації. На точку активації подається тактовий сигнал, що запускає, CLK.

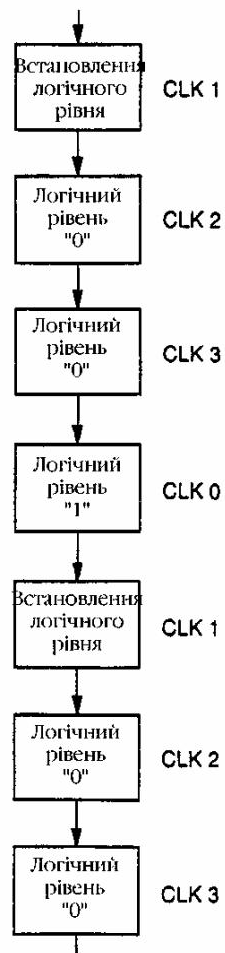
Цифро-аналоговий перетворювач вибирає вихідну величину з набору величин (V_0 , V_1 , V_2 , V_3). Вибраний вихід залежить від того, які вхідні величини декодера (00, 01, 10, 11) мають низький рівень. Якщо, наприклад, вхід 00 має високий рівень, напруга на OTS1 не буде достатньою для перемикання OTS1. Однак, коли вхід 00 має високий рівень, напруги на OTS1 вистачить для того, що він перемкнеться. Отже, буде вибрано аналогову напругу, і вона з'явиться на спільному виході цифро-аналогового перетворення, коли тактовий сигнал набуде відповідного значення.

Рядкові і колонкові формувачі, описані вище, можуть застосовуватись і для інших цілей, окрім дисплеїв з плоским екраном. До таких інших застосувань належать рядкові і колонкові схеми управління цифрових ЗП та датчиків.

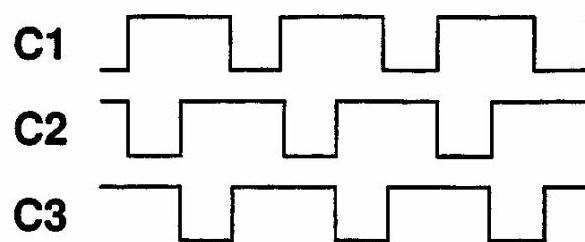
Хоча цей винахід описано у зв'язку з більш прийнятними варіантами втілення і процедурами, треба розуміти те, що винахід не обмежується описаними варіантами втілення і процедурами. Навпаки, він має охопити усі альтернативи, модифікації і еквівалентні схеми, що відповідають ідеї та обсягу цього винаходу, які визначаються наведеними далі пунктами формули винаходу.



ФІГ. 1

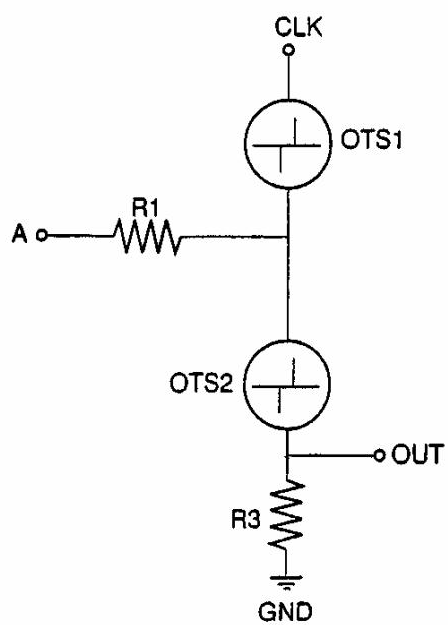


ФІГ. 2

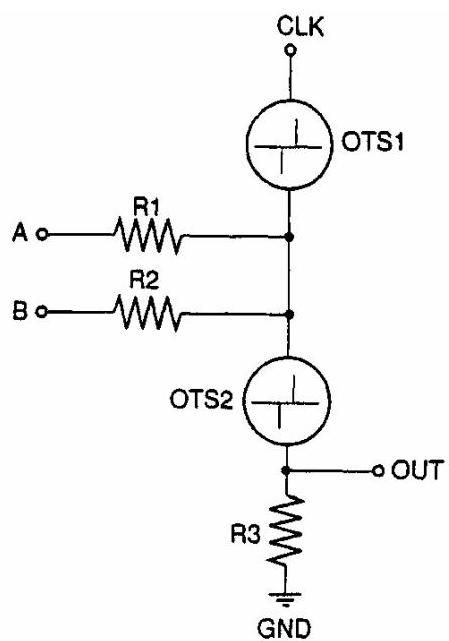


ΦΠ.3

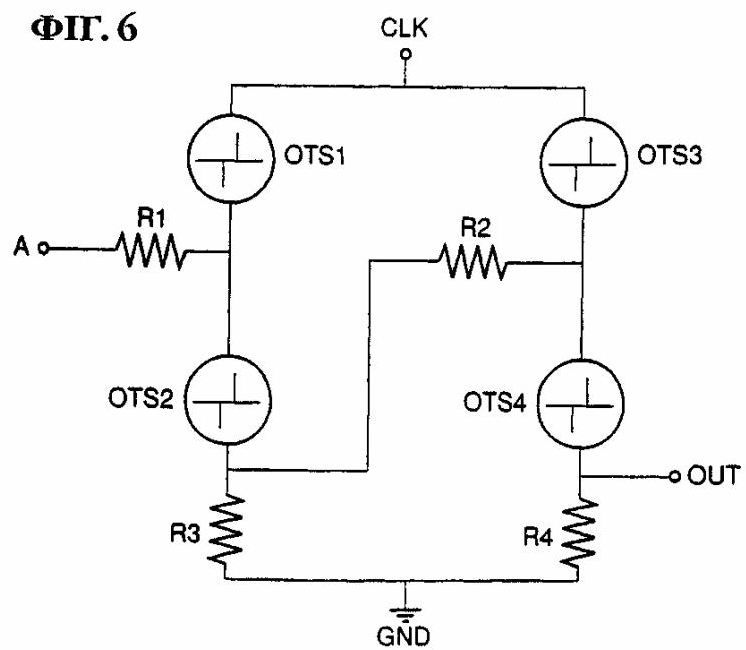
ΦΠ.4



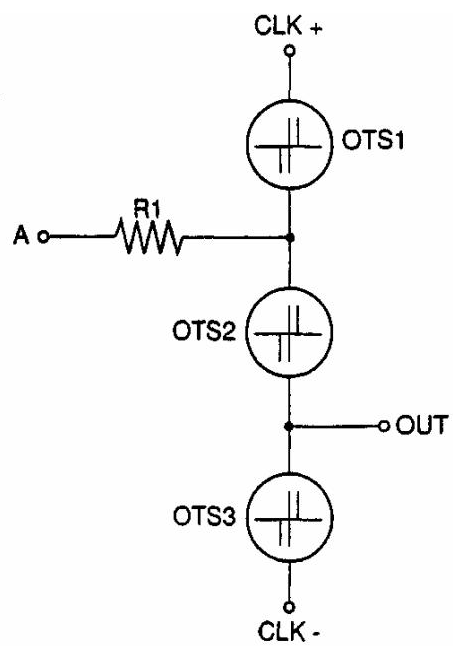
ΦΠ. 5



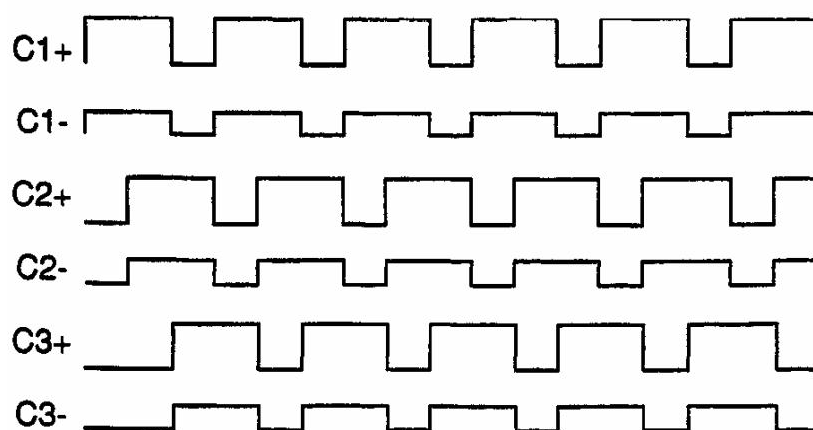
ΦΠ. 6



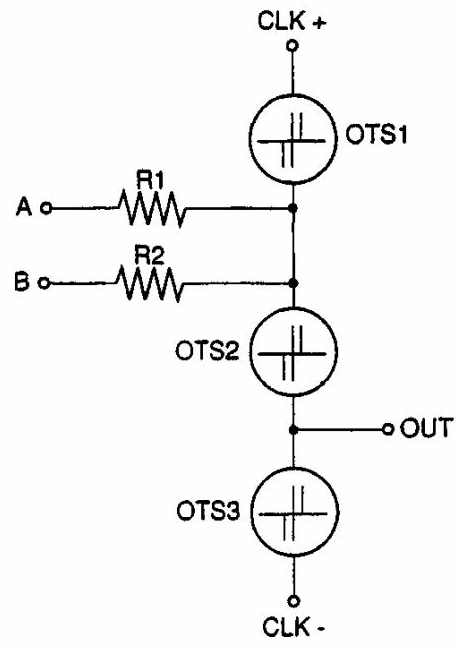
Фиг. 7



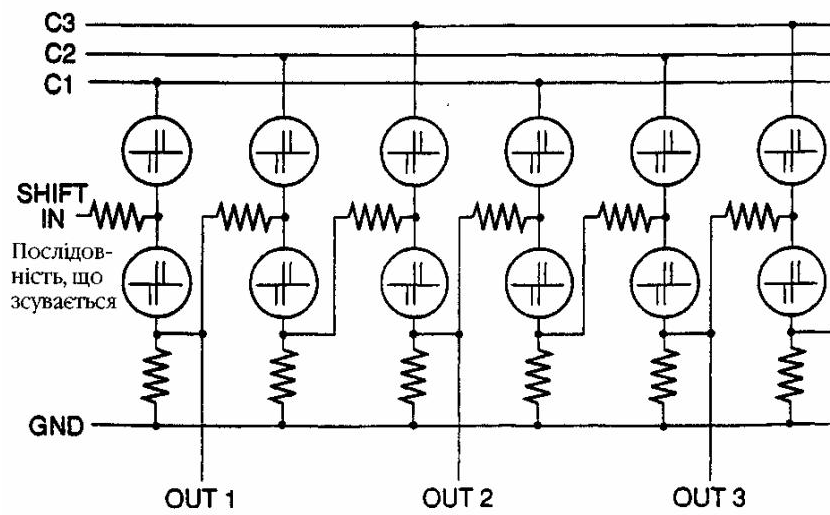
Фиг. 8

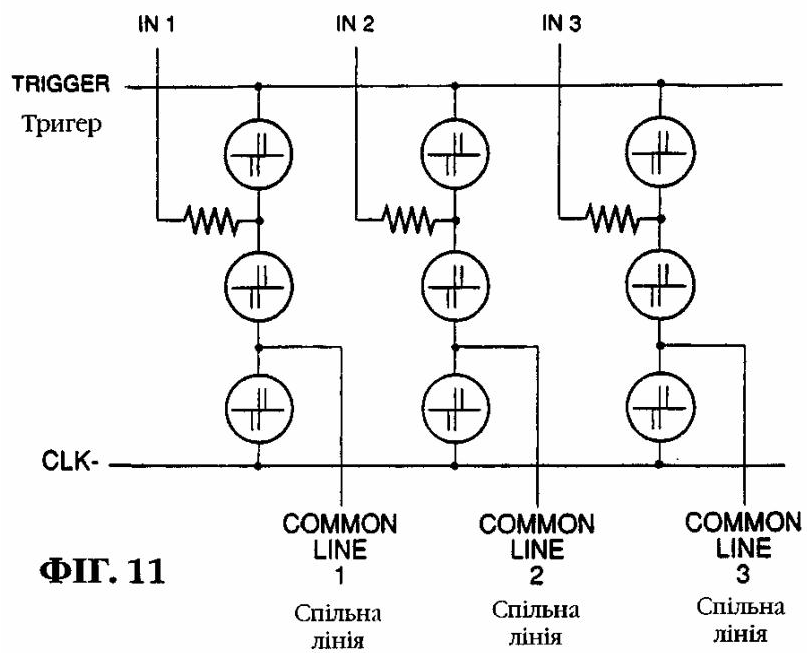


Фиг. 9

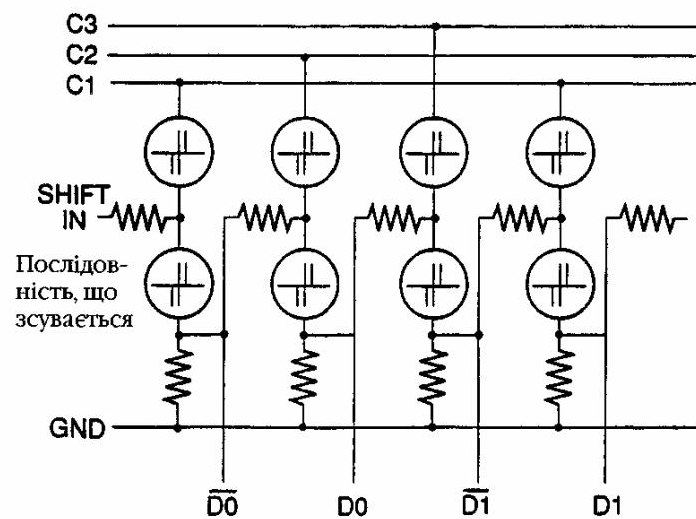


Фиг. 10

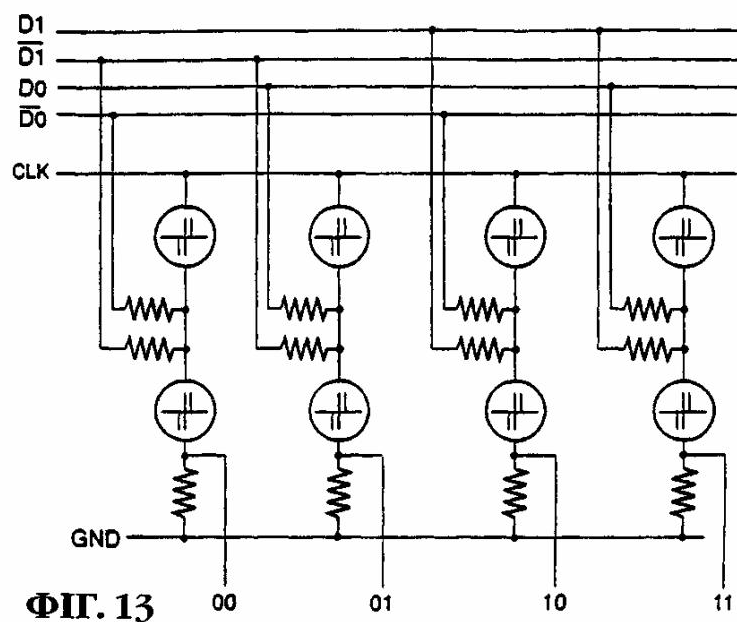




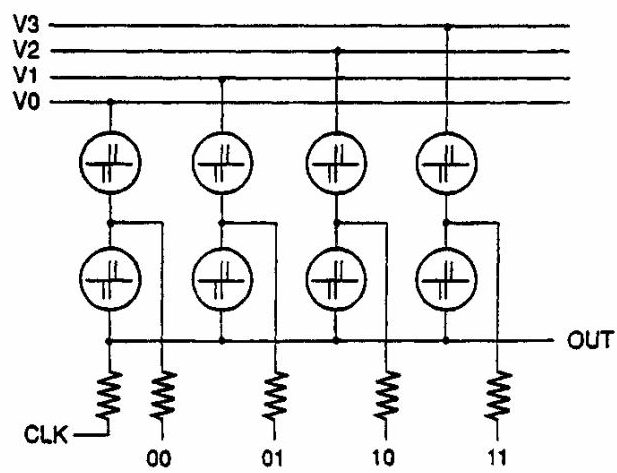
ФІГ. 11



ФІГ. 12



ФИГ. 13



ФИГ. 14