

Выравниватели используются, когда синхронный мультиплексный канал, например линия передачи кадров со скоростью передачи 2048кбит/с, завершается на тактируемом функциональном блоке и при этом допускается, что тактовый генератор функционального блока и синхронный мультиплексный канал могут отличаться по частоте и фазе.

Использование выравнивателей предполагает службу синхронизации, допускающую (хотя и вынужденно) некоторые сдвиги. Расчетная характеристика выравнивателя такова, что при достижении предела его буферизации осуществляется управляемый сдвиг. Выравниватели должны быть способны не только принимать любую фазу входящего потока, но также должны иметь достаточный гистерезис, чтобы справляться с отклонениями задержки, вносимыми сетью.

Применение выравнивателей может быть также распространено на данные, передаваемые в виде ячеек посредством виртуального канала, работающего в асинхронном режиме передачи (АРП), так что трафик с номинальной постоянной скоростью передачи битов может быть передан от мультиплексного канала АРП к функциональным блокам, которые ожидают трафик с той же номинальной постоянной скоростью передачи битов. Такой тактированный функциональный блок может представлять собой синхронный коммутатор или цифро-аналоговый преобразователь.

Асинхронный трафик отличается тем, что переносится в виде пакетов, кадров или ячеек, причем для трафика АРП обычно используется термин "ячейка". Ячейки АРП имеют постоянный размер и могут нести определенный объем данных трафика с постоянной скоростью передачи битов.

Когда выравниватель осуществляет сдвиг, он должен пропускать определенный объем данных, если трафик поступает слишком быстро. Если же трафик поступает слишком медленно, то либо определенный объем данных повторяется, либо вводится определенный замещающий набор данных.

Описываемый выравниватель ячеек виртуального канала АРП пригоден для потоков ячеек, в которых отклонения задержки ячеек не превышают среднюю для потока ячеек скорость поступления ячеек. Следовательно, выравниватели ячеек пригодны для линий связи с низкой скоростью передачи битов, например 64кбит/с.

Согласно настоящему изобретению, представляется способ выравнивания ячеек потока мультиплексированных данных в асинхронном режиме передачи, завершающегося на депакетизаторе, в котором данные виртуального канала без сигнала синхронизации кадров переносят в потоке данных в виде ячеек, каждая из которых имеет порядковый номер сообщения, заключающийся в том, что ячейки выравнивают с использованием нескольких буферов ячейки, способных хранить полезные данные, содержащиеся в одной ячейке, причем буферы ячейки последовательно идентифицируют в соответствии с низшими значащими битами порядкового номера сообщения, до того, как буфер ячейки будет депакетизирован или пустой буфер ячейки будет заменен ячейкой замещения, загружают соответствующим образом идентифицированный буфер ячейки каждой ячейки из потока данных в соответствии с низшими значащими битами порядкового номера сообщения при условии, что порядковый номер сообщения отличается от порядкового номера сообщения буфера ячейки, который в данный момент подвергают депакетированию, но не более, чем на заданное число M порядковых номеров сообщения, очищают буфер ячейки согласно объединенному алгоритму депакетизатора и сдвига с целью формирования непрерывного потока данных, синхронизированного с тактовыми импульсами и сигналом начала кадра депакетизирующего функционального блока, в случае сбоя в поступлении достоверной ячейки заменяют пропавшую ячейку ячейкой замещения в непрерывном потоке данных с помощью генератора формата ячейки замещения и выполняют функцию ожидания, которую сбрасывают после приема каждой достоверной ячейки с целью вызова перезапуска объединенного алгоритма депакетизатора и сдвига, если время ожидания истекло.

В работе Electronics and Communications in Japan; Part I Communications; 76(1993) December, No. 12, New York, US pp 14-26 "Cell Delay Variations Smoothing Methods for ATM based SDH Signal Transport System Hitoshi Uematsu and Hironi Ueda" показано, что благодаря преобразованию сигнала с синхронной цифровой иерархией (СЦИ) в ячейках асинхронного режима передачи (АРП) для передачи по сети передачи данных АРП, помимо того, что поддерживается экономичность и надежность сети, увеличивается эффективность ее работы/управления/обслуживания. В этом состоит одно из преимуществ сети передачи данных АРП.

Ниже рассматривается система, в которой сигнал с СЦИ передается с помощью метода АРП. Осуществляется оценка отклонения задержки, порождаемого в сети передачи данных АРП. Затем рассматривается управление считыванием буфера и требуемый объем буфера. Анализируется порядок обработки в предлагаемой системе функции сглаживания отклонения задержки и других необходимых функций.

Депакетизатор содержит достаточное количество буферов ячейки, чтобы справиться с предполагаемым отклонением задержки: два буфера ячейки для отклонения задержки менее 2 миллисекунд и четыре буфера ячейки для отклонения задержки до 6 миллисекунд.

Когда ячейка загружается в буфер ячейки, находящийся в депакетизаторе, двоичный флаг "полон/пуст" устанавливается в положение "полон", и функция ожидания обнуляется и перезапускается. Как только освобождение буфера заканчивается, его двоичный флаг "полон/пуст" устанавливается в положение "пуст".

Ниже представлен способ синхронизации потока ячеек одного виртуального канала АРП, осуществляемый в мультиплексном канале АРП, который содержит депакетизатор, в котором объединенный алгоритм депакетизатора и сдвига состоит в следующем: если в течение депакетирования ячейки (n) или генерации ячейки замещения для замены ячейки (n) и до того, как были депакетированы B байт ячейки (n) поступает ячейка ($n + M$), то первые S байт следующей ячейки, подлежащей депакетированию или замене ячейкой замещения, отбрасывают, чтобы произвести сдвиг вперед на S байт, если же по окончании депакетирования ячейки (n) или после генерации ячейки замещения для замены пропавшей ячейки (n) поступает ячейка ($n + 1$), то ячейку ($n + 1$) полностью депакетируют и она становится новой ячейкой (n), если же по окончании депакетирования ячейки (n) или после генерации ячейки замещения для замены пропавшей ячейки (n) ячейка ($n + 1$) не поступила, то ячейку ($n + 1$) заменяют ячейкой замещения и она становится новой

ячейкой (n) в том случае, если в течение периода, соответствующего S байтам, после начала формирования ячейки замещения для замены ячейки (n) поступает пропавшая ячейка (n), то осуществляют сдвиг назад на S байт путем останова формирования ячейки замещения после S байт и депакетируют принятую ячейку (n).

Если M=3, то B=47 байт и S = 47 байт;

если M=2, то B=47 байт и S = 23 байт;

если M=1, то B=15 байт и S = 16 байт.

Дальнейшее описание настоящего изобретения осуществляется на примере со ссылкой на сопутствующие чертежи, в которых:

фиг.1 изображает типичное размещение функций депакетизатора и выравнивателя ячеек относительно пакетизаторов, аналого-цифровых преобразователей и цифро-аналоговых преобразователей;

фиг.2 изображает выравниватель для 47- (или 23-) байтной ячейки регулирования;

фиг.3 изображает выравниватель для 16-байтной ячейки регулирования;

фиг.4 изображает объединенный алгоритм депакетизатора и сдвига для выравнивателя 47-байтной ячейки регулирования;

фиг.5 изображает объединенный алгоритм депакетизатора и сдвига для выравнивателя 23-байтной ячейки регулирования;

фиг.6 изображает объединенный алгоритм депакетизатора и сдвига для выравнивателя 16-байтной ячейки регулирования;

фиг.7 расшифровывает обозначения, используемые в фиг.4 - 6;

фиг.8 изображает сравнительную схему синхронизации для алгоритмов, изображенных на фиг.4 - 6.

Задачей настоящего изобретения является минимизация последствий чрезмерной задержки и отклонения задержки, порождаемых линиями связи со скоростью передачи 64кбит/с, когда они пересекаются с сетями, работающими в асинхронном режиме передачи (АРП), как показано на фиг.1.

Отклонение задержки, вносимое в линию связи со скоростью 64кбит/с, можно устранить, но за счет добавления некоторой дополнительной задержки.

Известно много случаев, когда внешний интерфейс имеет общий тактовый генератор не только для линии связи со скоростью передачи 64кбит/с (но и, например, для линий связи ISDN со скоростью передачи 144кбит/с и линий связи со скоростью 2Мбит/с), поэтому должны быть использованы методы синхронизации.

Распаковка 47 байт данных из ячейки осуществляется с помощью выравнивателя ячеек, работающего по одному из объединенных алгоритмов депакетизатора и сдвига, изображенных на фиг.4 - 6, в зависимости от отклонения задержки ячейки, которое необходимо обработать.

Для осуществления контроля линии связи, пересекающейся с сетью, по сети время от времени могут посылаться дополнительные ячейки. Это значит, что сеть АРП должна быть способна нести импульсы трафика со скоростью 128кбит/с, не приводя к потере ячеек или превышению общесетевого показателя отклонения задержки. Функция пакетирования должна регулярно, каждые 5.875мс, генерировать стандартные (не дополнительные) ячейки.

Следовательно, во избежание сдвигов, общее отклонение сквозной сетевой задержки в одном направлении, даже при наличии дополнительных ячеек должно быть меньше, чем 5.8мс, 2.8мс или 1.8мс (в зависимости от используемого объединенного алгоритма депакетизатора и сдвига).

Сдвиги наносят обслуживанию значительно больший вред, чем искаженные данные. Это особенно касается модемного трафика, зашифрованных данных и кодирования видеосигналов. Поэтому эти объединенные алгоритмы депакетизатора и сдвига направлены на сведение к минимуму опасности возникновения сдвигов.

Сдвиги могут заключаться в удалении 47 (23 или 16) байт данных или в добавлении замещающей последовательности из 47 (23 или 16) байт данных.

Если имел место сдвиг ячейки, то дальнейшего сдвига не произойдет, пока сдвиг фаз не превысит, по меньшей мере, ± 5.8 мс (2.8мс или 1.8мс).

Если локальный опорный тактовый генератор не сфазирован с исходным источником данных, имеющим скорость передачи 64кбит/с, сдвиги могут происходить регулярно. Однако они будут иметь место в 47 (23 или 16) раз реже, чем при использовании выравнивателей кадров, как предлагается в патентах GB № 2063624 и GB № 2151437, соответствующим патентам US № 4,368,531 и US № 4,617,659 соответственно. Выравниватели ячеек гарантируют, что смещение ячейки не произойдет без необходимости, будь то вследствие инициализации, или из-за задержанных ячеек, пропавших/искаженных ячеек или дополнительных ячеек. Общая циклическая задержка, добавляемая адаптационными функциями АРП, а именно функцией пакетирования депакетирования и синхронизации ячеек, должна оставаться практически постоянной и равной, приблизительно, 24мс (18мс или 16мс).

Эта дополнительная адаптационная величина задержки, равная 24мс (18мс или 16мс) должна применяться для синхронизированной сети, в которой от инициализации до разъединения проходит по меньшей мере 15мс, предусматривая, что отклонение задержки не превышает 5.8мс (2.8мс или 1.8мс).

Адаптационная задержка в 24мс (18мс или 16мс) добавляется к циклической задержке первоначального пути, циклическая задержка первоначального пути складывается из задержек распространения передачи, задержек мультиплексирования передачи, задержек коммутации АРП, задержек буферизации АРП, аналогово-цифровых и цифро-аналоговых задержек (если применяются) и задержек частных сетей (если применяются). Задержки коммутации и буферизации АРП - это не те задержки коммутации и буферизации АРП, которые задерживают первую ячейку в каждом направлении после разъединения.

Адаптационная циклическая задержка в основном обусловлена задержками пакетизатора и депакетизатора по 5.875мс в каждом направлении, и каждого выравнивателя, имеющего при инициализации в обработке 5.875мс (2.875мс или 2.000мс) полезных данных. Если сдвиги ячеек происходят вследствие случайного запуска опорного тактового генератора, то циклическая задержка может быть увеличена или уменьшена на 5.875мс (2.875мс или 2.000мс). Если отклонение задержки превышает 5.8мс (2,8мс или 1.8мс),

то оба выравнивателя могут увеличить или уменьшить задержку на 5.875мс (2.875мс или 2.000мс).

Выравниватели ячеек могут работать по трем совместимым объединенным алгоритмам депакетизатора и сдвига, отвечающим следующим требованиям сети.

Нормальная дополнительная постоянная циклическая задержка приблизительно равна:

24 мс для обоих концов при использовании 47-байтного регулирования, показанного на фиг.2;

18мс для обоих концов при использовании 23-байтного регулирования, показанного на фиг.3;

16мс для обоих концов при использовании 16-байтного регулирования, показанного на фиг.4;

среднее значение получается, если на двух концах использовать разные алгоритмы.

Любые происходящие сдвиги вызывают сдвиг фаз в 5.875мс или 2.875мс или 2.000мс в зависимости от того, какой алгоритм задействован.

После инициализации не должно быть никаких сдвигов, если отклонение задержки ячейки сети АРП меньше, чем 5.8мс, 2,8мс или 1.8мс.

Выравниватель ячеек АРП, содержащий 4 буфера ячейки емкостью 47 байт каждый, может быть использован для 47-, 23- и 16-байтного алгоритма регулирования, изображенных на фиг.2 и 3.

Эти алгоритмы предназначены свести к минимуму вероятность сдвигов ячеек. Алгоритмы инициализируются к среднему положению рабочего диапазона буфера. Они не осуществляют сдвиги отдельных байтов, но, когда это действительно необходимо, сдвигают 47 (23 или 16) байт.

Поскольку выравниватель ячеек инициализируется к своему среднему положению, это дает 24мс (18мс или 16мс) дополнительной циклической задержки. При сквозном сетевом соединении эта дополнительная задержка обычно должна оставаться на том же значении, если только не значительное отклонение задержки ячеек.

Условия попытки инициализации таковы:

все буфера ячейки пусты;

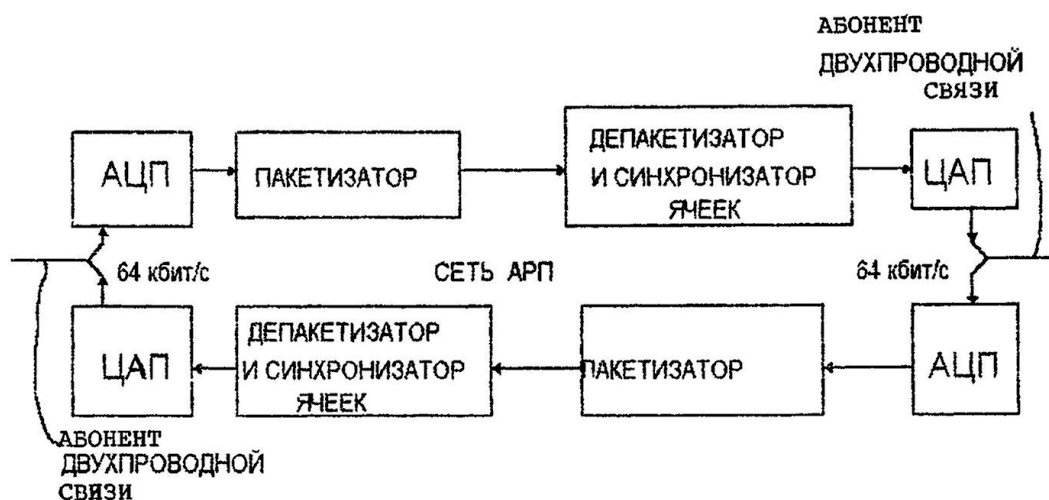
после получения достоверной ячейки должно пройти 2.5 номинальных длительностей ячейки (15мс).

(Достоверная ячейка должна иметь соответствующий порядковый номер).

Если после того, как система перешла в состояние "попытка инициализации", поступает ячейка с любым порядковым номером, она принимается и после ожидания в течение 5.875мс (2.875мс или 2.000мс) начинается депакетирование.

Выравнивателем ячеек с четырьмя буферами ячейки, изображенным на фиг.2, можно управлять так, чтобы он осуществлял один из трех алгоритмов, которые определены посредством трех таблиц на фиг.4 - 6 и последующих пояснений.

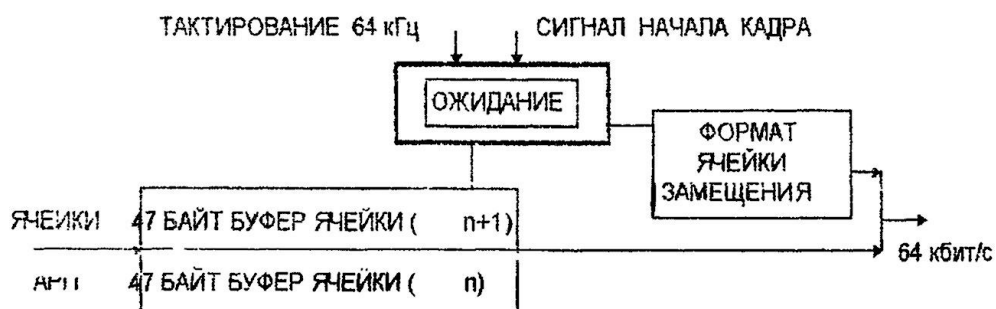
Выравниватель ячеек, имеющий только 2 буфера ячейки, изображенный на фиг.3, может осуществлять только 16-байтный алгоритм, определенный посредством таблицы, изображенный на фиг.6.



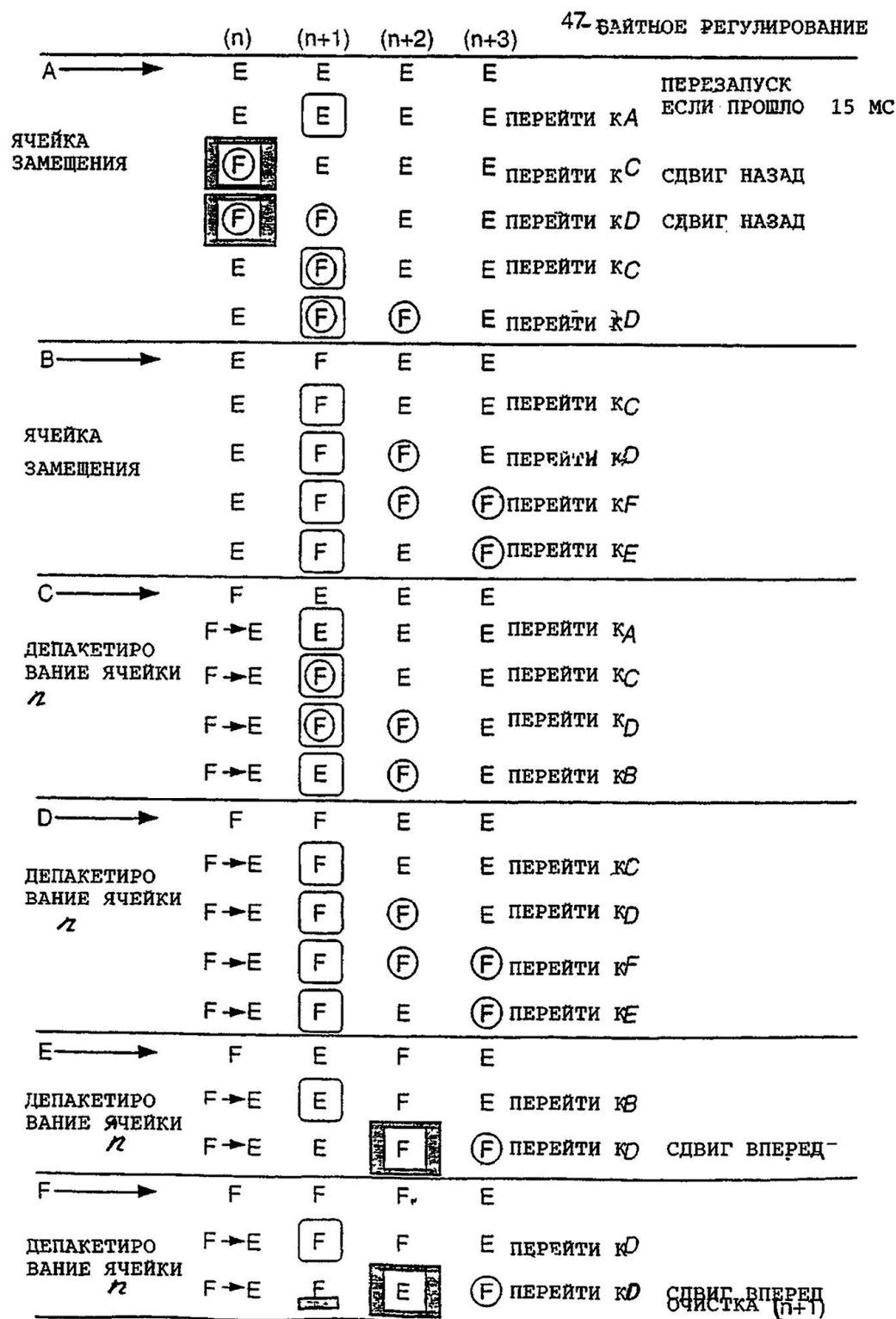
ФИГ. 1


















ФИГ. 2



ФИГ. 3

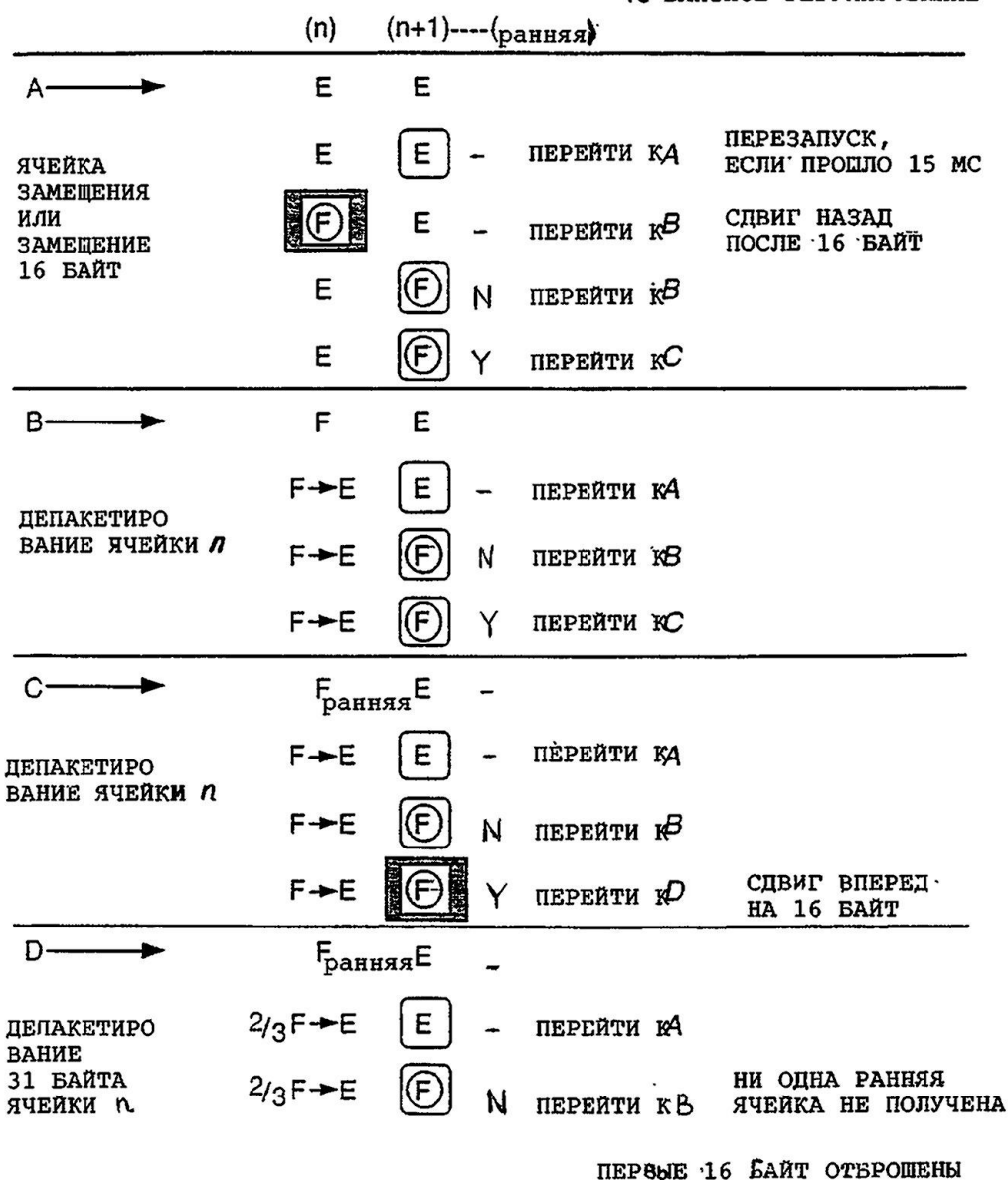


ФИГ. 4

23-БАЙТНОЕ РЕГУЛИРОВАНИЕ			
	(n)	(n+1)	(n+2)
A →	E	E	E
ЯЧЕЙКА ЗАМЕЩЕНИЯ ИЛИ ЗАМЕЩЕНИЕ 23 БАЙТ	E	E	E ПЕРЕЙТИ К A
		E	E ПЕРЕЙТИ К B
	E		E ПЕРЕЙТИ К B
	E		 ПЕРЕЙТИ К D
B →	F	E	E
ДЕПАКЕТИРОВА НИЕ ЯЧЕЙКИ n	F → E	E	E ПЕРЕЙТИ К A
	F → E		E ПЕРЕЙТИ К B
	F → E		 ПЕРЕЙТИ К D
	F → E	E	 ПЕРЕЙТИ К C
C →	E	F	E
ЯЧЕЙКА ЗАМЕЩЕНИЯ	E		E ПЕРЕЙТИ К B
	E		 ПЕРЕЙТИ К E
D →	F	F	E
ДЕПАКЕТИРОВА НИЕ ЯЧЕЙКИ n	F → E		E ПЕРЕЙТИ К B
	F → E		 ПЕРЕЙТИ К E
E →	F	F	E
ДЕПАКЕТИРОВА НИЕ ЯЧЕЙКИ n	$1/2 F \rightarrow E$		E ПЕРЕЙТИ К B
НИ ОДНОЙ ЯЧЕЙКИ НЕ ПРИНЯТО ОТБРОШЕНЫ ПЕРВЫЕ 23 БАЙТА			


ФИГ. 5


16-БАЙТНОЕ РЕГУЛИРОВАНИЕ




ФИГ. 6

ДЛЯ КАЖДОГО СОСТОЯНИЯ ПОЛОН/ПУСТ В НАЧАЛЕ ВНУТРЕННЕГО ЦИКЛА ЯЧЕЙКИ ВОЗМОЖНЫЕ СОСТОЯНИЯ ПОЛОН/ПУСТ В НАЧАЛЕ КАЖДОГО ВНУТРЕННЕГО ЦИКЛА ЯЧЕЙКИ ИЗОБРАЖЕНЫ С ПОМОЩЬЮ:

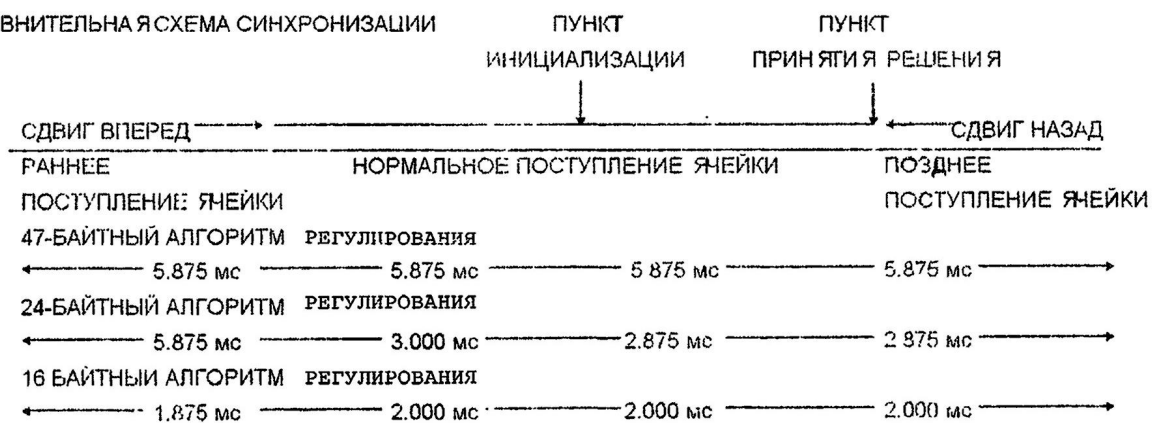
 ОБОЗНАЧАЕТ ЯЧЕЙКУ,
ПРИНЯТУЮ В ЭТОМ
ЦИКЛЕ ЯЧЕЙКИ

 ПОКАЗЫВАЕТ, ЧТО ЯЧЕЙКА n+1
СТАЛА ЯЧЕЙКОЙ n
F → E ДЕПАКЕТИРОВАНИЕ ЯЧЕЙКИ
ОБОЗНАЧЕНИЯ К ФИГ. 4, 5 И 6

 ПОКАЗЫВАЕТ, ЧТО СДВИГ НАРУШАЕТ
НОРМАЛЬНОЕ ТЕЧЕНИЕ ПРОЦЕССА

ФИГ. 7

СРАВНИТЕЛЬНАЯ СХЕМА синхронизации



ФИГ. 8