

Винахід стосується схемного пристрою з кількома електронними компонентами, робочий стан яких за допомогою заданого керуючого сигналу, що подається до відповідних компонентів схеми, можна змінювати на стан устанавлення на нуль або стирання, причому дані, записані до компонентів схеми, замінюються значенням логічного нуля.

З різних підстав може виникнути необхідність у стиранні даних, записаних в окремих регістрах, або повний вміст напівпровідникового пристрою пам'яті, інтегрованого у мікропроцесорному чіпі, або іншого компонента схеми. Зокрема, у разі користування чіп-картками, для захисту від несанкціонованого зчитування конфіденційних даних може виникнути потреба у забезпеченні активно функціонуючих заходів захисту для запобігання зчитуванню секретних даних, наприклад, під час спроби несанкціонованого доступу, здійснюваного хакерами (комп'ютерними зломниками), також і у тому разі, коли подача тактових сигналів на мікропроцесор відключена. У разі вмикання мікропроцесора в усіх регістрах зазвичай записується певне значення, замість якого у процесі обробки даних записуються різні дані, причому ці дані, у залежності від обставин, можуть містити також конфіденційну або персональну інформацію. Для попереднього запису до регістрів певного заданого значення у них зазвичай передбачається окремий вхід для скидання. Цей вхід для скидання з'єднаний, наприклад, з транзисторним ключем, який змінює значення, що має бути записаним до регістру, на певний потенціал. Для напівпровідникового пристрою пам'яті з довільною вибіркою, що має велику кількість комірок пам'яті, у разі наявності окремих входів для скидання для кожної комірки пам'яті значно зросла б потрібна площа. Крім того, такий підхід вимагає великої потужності запускового пристрою для скидання даних, записаних у пристрої пам'яті, оскільки, наприклад, треба одночасно керувати 256 x 8 транзисторами. Така структура схеми суперечить, крім бажання досягти високого ступеню інтеграції інтегральних схем напівпровідникового пристрою пам'яті, також якомога простішій структурі схем керування, що дозволяла б економити електроенергію. Крім того, як захід активного захисту проти несанкціонованого доступу до конфіденційних даних, можна було б за допомогою мікропроцесора адресувати усі послідовні комірки пристрою пам'яті, яких стосувалась спроба несанкціонованого доступу, і потім замість наявних даних записувати до кожної комірки пам'яті, якої стосувався запит, значення логічного нуля. Проте, таке рішення не є вдалим в усіх випадках для запобігання недовзголеного доступу до даних, оскільки можна припинити подачу тактових імпульсів, мікропроцесор не функціонує і не може приймати завдання для виконання.

З опису до патенту США US-A-4 928266 відома схема запуску з ланцюгом з N елементів затримки, керування першим з яких здійснюється за допомогою внутрішнього сигналу скидання RESET, а також певної кількості N запускових пристроїв для скидання, керування кожним з яких здійснюється через елемент затримки. Мета керування із зміщенням за фазою полягає у зменшенні піків струму, що звичайно зумовлені видачею сигналу скидання.

В Євropатенті EP-A-0 574 094 описаний ланцюг із схем "Flash-clear", що спрацьовують послідовно одна за одною із затримкою у часі, причому перша активізується за допомогою сигналу пуску, що генерується пусковою схемою. У тексті опису до патенту далі наведений спрощений варіант схеми "Flash-clear" з кільцевим генератором з функцією утримання коливаль для генерування тактових імпульсів, що застосовуються для визначення часу стирання, із лічильником для рахування кількості тактових імпульсів, що видаються кільцевим генератором, а також m-біт-лічильником для рахування кількості груп комірок пам'яті.

У описі до патенту WO-A-82 022 74 A показаний пристрій для автоматичного стирання даних, записаних до банків даних, із спеціальним вимикачем, "аварійним вимикачем", що після запуску на першому етапі керує процесом стирання усієї інформації у банку даних, а на другому етапі - стиранням усіх інформацій щодо програм у банку даних. Цей спеціальний схемний пристрій служить, насамперед, для того, щоб стерти записи у банку даних від несанкціонованого доступу або саботажу без їхнього фізичного знищення. Схемний пристрій має бістабільний мультівібратор, що спрацьовує у разі натискання аварійної кнопки, вихідний сигнал якого може активізувати керовані тактовими імпульсами системи адресними генераторами, тобто генеруються всі адреси, що можуть мати місце у відповідних пристроях для запису даних. Адресні генератори функціонують паралельно

У патенті Німеччини DE-A-41 35 767 описаний пристрій для забезпечення захисту даних від несанкціонованого доступу у блоці керування автоматів, операції яких оплачуються монетами. У разі спроби відкрити кожух, що захищає блок керування, цей процес розпізнається за допомогою сенсорів. Сенсори, що реєструють механічний або хімічний злом, а також зміну температури навколишнього середовища і робочої напруги, зв'язані із сенсорною схемою, що має автономний блок електроживлення. За допомогою схеми стирання у разі спроби злому блока керування стираються дані, що зберігаються у відповідних конструктивних вузлах.

Метою винаходу була розробка схемного пристрою зазначеного на початку опису типу, за допомогою якого також незалежно від зовнішніх тактових імпульсів можна активізувати процес автоматичного скидання даних, записаних в обраних компонентах схеми до значення логічного нуля, причому немає потреби у додатковій площі або суттєвому збільшенню схемотехнічних витрат для реалізації схемного пристрою.

Це завдання вирішується завдяки схемному пристрою згідно з п. 1 формули винаходу. За винаходом, передбачається, зокрема:

- компоненти схеми включають у себе, по-перше, регістр та/або елементи схеми, і, по-друге, елементи пам'яті;

- регістрам або елементам схеми підпорядкована перша схема запуску із відпираючими каскадами, а елементам пам'яті підпорядкована підключена послідовно до першої схеми запуску друга схема запуску з відпираючими каскадами;

- для стирання вмісту елементів пам'яті передбачена шина даних, на яку подається сигнал даних для запису до елементів пам'яті, причому після активізації другої схеми запуску за допомогою попереднього відпираючого каскаду першої схеми запуску до елементів пам'яті записується значення логічного нуля, подане на шину даних, і, таким чином, елементи пам'яті переводяться у стан стирання.

При цьому в основу винаходу було покладено перевірену досвідом ідею, що полягає у використанні для стирання даних, записаних до окремих компонентів схеми, наприклад регістрів або комірок пам'яті напівпровідникових пристроїв пам'яті, автоматично активізованої схеми запуску, принцип дії якої аналогічний

принципу дії відомого механічного "ланцюга доміно". За винаходом, після однократного запуску схема запуску працює окремо і повністю незалежно від зовнішніх тактових імпульсів схеми керування, наприклад, мікроконтролера, який можна зупинити у разі недозволеного доступу, так що, у певному розумінні, існує можливість вільного зчитування конфіденційних даних, записаних, наприклад, у особливо ризикованому статичному напівпровідниковому пристрої пам'яті. Після реєстрації відповідного сигналу пуску, що надходить, наприклад, після виявлення неприпустимого відхилення від дозволеного робочого режиму схеми керування або компонента схеми, видається сигнал дозволу, який, певним чином, запускає електричний "ланцюг доміно", тобто схему запуску. Реакцією на сигнал дозволу є те, що через перший відпираючий каскад, керування яким здійснюється за допомогою відпираючого сигналу, запускається перший з багатьох потрібних компонентів схемного пристрою, записані дані до якого слід стерти, наприклад, накопичувач або регістр мікроконтролера, у розумінні установа на нуль або стирання, і потім послідовно у часі після запуску першого відпираючого каскаду, видається наступний відпираючий сигнал, який запускає наступний відпираючий каскад, наприклад, для активізації адресного декодера і наступного стирання даних, записаних до групи адресованих комірок пам'яті статичного напівпровідникового пристрою пам'яті. Після цього надходять наступні відпираючі сигнали у відповідності до бажаної кількості компонентів схеми, які слід запустити.

У переважному варіанті реалізації винаходу може бути передбачено, щоб кожний компонент схеми був відповідно підпорядкований одному відпираючому каскаду схеми запуску.

У переважному варіанті виконання схемного пристрою згідно з винаходом передбачена адресна шина для адресації компоненту схеми, а також шина даних надає сигнал даних у розпорядження для запису даних до одного з компонентів схеми. Після відпирання компонента схеми за допомогою підпорядкованого відпираючого каскаду схеми запуску, здійснюється, наприклад, запис поданого на шину даних значення логічного нуля до компонента схеми, так що таким чином дані, записані до компонента схеми, стираються. В особливо переважному варіанті реалізації винаходу на всі лінії шини даних, наприклад, подане значення логічного нуля; за допомогою схеми запуску окремі компоненти схеми, з'єднані з шиною даних, відпираються послідовно один за одним у часі, причому реакцією на відпирання є послідовний у часі запис значення логічного нуля через шину даних до окремих компонентів схеми. У порівнянні з відомими на сьогодні заходами, що відповідають сучасному рівню технічного розвитку, які полягають у тому, що для кожного компонента схеми або кожної комірки пам'яті для подачі досить великого сигналу скидання є необхідним транзистор скидання, що потребує великої площі для розташування, перевага схемного пристрою згідно з винаходом полягає у значно меншій потрібній площі. У порівнянні з іншим відомим заходом, що відповідає сучасному технічному рівню, у якому адресний декодер оснащений додатковою схемою, що забезпечує одночасне відпирання всіх комірок пам'яті, який, таким чином, потребує досить великої потужності запускаючого пристрою шини даних, для того, щоб одночасно перевести усі комірки пам'яті на рівень логічного нуля, схемний пристрій згідно з винаходом має ту перевагу, що шина даних має забезпечувати значно меншу потужність запускаючого пристрою, оскільки компоненти схеми або комірки пам'яті опитуються не одночасно, а послідовно один за одним.

У наступному варіанті втілення винаходу з особливо простою схемотехнічною реалізацією схеми запуску може бути передбачено, що відпираючий сигнал, що видається останнім відпираючим каскадом, знову повертається по контуру зворотного зв'язку на вхід першого відпираючого каскаду другої схеми запуску.

В особливо переважному варіанті реалізації винаходу передбачено, що компоненти схеми є комітками пам'яті регістра та/або програмованого напівпровідникового пристрою пам'яті. При цьому перевага полягає у тому, що відпираючі каскади, підпорядковані коміткам пам'яті регістру, включені перед відпираючими каскадами, підпорядкованими коміткам пам'яті програмованого напівпровідникового пристрою пам'яті. Таким чином, після запуску схеми запуску за допомогою сигналу дозволу спочатку відпираються регістри, а після них - комірки пам'яті напівпровідникового пристрою пам'яті. При цьому регістри підтримують потужність запускаючого пристрою шини даних. Перевага такої послідовності відпираючих каскадів полягає у тому, що у разі запуску комірок пам'яті динамічного напівпровідникового пристрою пам'яті з довільною вибіркою (RAM) лише за допомогою додаткових схемотехнічних витрат можна розпізнати, коли будуть повністю опитані окремі відпираючі каскади схеми запуску; тому завдяки залежності адресації комірок пам'яті або групи комірок пам'яті від попередньої відповідної адреси не можна однозначно прийняти рішення щодо того, яка з груп фактично запускається "першою" чи "останньою".

Іншою перевагою схемного пристрою згідно з винаходом за аналогією з механічним "ланцюгом доміно" є те, що для послідовного у часі запуску окремих відпираючих каскадів потрібен відповідно лише інвертор відпираючого каскаду, і, крім того, кожний попередній відпираючий каскад запускає або керує відповідно наступним відпираючим каскадом.

У особливо переважному варіанті реалізації винаходу передбачено, що запуск схеми запуску відбувається автоматично шляхом подання сигналу дозволу на перший відпираючий каскад. При цьому перевага полягає у включенні перед схемою запуску, що підпорядкована схемі керування для керування одним або кількома компонентами схеми, сенсорної схеми, передбаченої у схемному пристрої, що реєструє відхилення від дозволеного режиму роботи схеми керування або компоненту схеми, причому реакцією цієї сенсорної схеми на відхилення від дозволеного режиму є генерація сигналу дозволу, що передається на перший відпираючий каскад для автоматичної активізації схеми запуску. У спрощеному щодо схемотехніки варіанті реалізації винаходу може бути при цьому передбачено, щоб сенсорна схема була підпорядкована генератору тактових імпульсів та/або схемі електроживлення схеми керування або компоненту схеми, і реєструвала відхилення напруги електроживлення від робочого діапазону напруги та/або тактової частоти від робочого діапазону частоти тактових імпульсів, і у разі наявності відхилення від робочого діапазону напруги та/або частоти тактових імпульсів генерувала сигнал дозволу, передаючи його на перший відпираючий каскад для забезпечення автоматичного спрацювання або активізації схеми запуску. При цьому сенсорна схема може включати у себе детектор напруги, що реєструє моменти, коли напруга електроживлення не досягає або перевищує відповідно задані нижнє або верхнє граничне значення робочого діапазону. З іншого боку, сенсорна схема може включати у себе також детектор частоти, що реєструє моменти, коли частота тактового імпульсу не досягає або перевищує відповідні задані нижнє або верхнє граничне значення робочого діапазону частоти тактових імпульсів. Таким

чином, можна, наприклад, у разі надто високого або надто низького значення робочої напруги або частоти тактових імпульсів, розпізнавати спробу недозволених доступу до конфіденційних даних і використовувати це для автоматичного запуску схеми запуску.

Для забезпечення за будь-яких обставин достатньої потужності запуску пристрою шини даних для того, щоб послідовно здійснювати перезапис даних у керованих компонентах схеми, за допомогою регулювання можна припинити процес послідовного відпирання компонентів схеми, що опитуються, у разі надто малої потужності запуску шини даних. Тому перевага переважного варіанту втілення винаходу полягає у наявності схеми регулювання, підпорядкованої схемі запуску, яка у разі збою шини даних або запуску пристрою знову активізує схему запуску. Лише після досягнення стабільного стану продовжується процес послідовного встановлення на нуль всіх компонентів схеми, тобто припиняється, а потім знову активізується робота схеми запуску. При цьому у разі простої схемотехнічної реалізації винаходу може бути передбачено, щоб схема регулювання знімала сигнали даних з шини даних і реєструвала відхилення від нульового значення для короткочасного відключення і повторної автоматичної активізації схеми запуску.

У особливо переважному варіанті втілення винаходу передбачено, що принаймні один з компонентів схеми представляє собою побудований на напівпровідниковій основі напівпровідниковий пристрій пам'яті з довільною вибіркою, що має багато комірок пам'яті, які за допомогою схеми адресації можна адресувати для довільного частого повторення процесу запису та зчитування даних, що подані на схему введення або виведення даних, і відпираючий каскад схеми запуску, підпорядкований напівпровідниковому пристрою пам'яті, безпосередньо впливає на схему адресації для адресації принаймні однієї з комірок пам'яті, причому здійснюється керування схемою введення або виведення даних для видачі значення логічного нуля на адресовану комірку пам'яті. При цьому щонайменше частина компонентів схеми може бути підпорядкована групі комірок пам'яті напівпровідникового пристрою пам'яті, які за допомогою схеми запуску автоматично послідовно адресуються для встановлення на значення логічного нуля. Завдяки наявній схемі декодування звичайного напівпровідникового пристрою пам'яті з довільною вибіркою дуже просто здійснюється послідовна адресація комірок пам'яті за допомогою відпираючих каскадів схеми запуску згідно з винаходом. В існуючих напівпровідникових пристроях пам'яті з довільною вибіркою завдяки наявності схемного пристрою за винаходом немає необхідності у інтегруванні додаткових логічних елементів, із складною у залежності від обставин схемотехнікою. Для запуску або встановлення на нуль комірок пам'яті напівпровідникового пристрою пам'яті з довільною вибіркою вистачає однієї спільної для всіх комірок пам'яті схеми запуску з відповідною кількістю відпираючих каскадів. Лише після того, як була адресована перша група комірок пам'яті, тобто відповідні числові шини комірок пам'яті знаходяться в активному стані, здійснюється адресація наступної групи комірок пам'яті напівпровідникового пристрою пам'яті з довільною вибіркою. Внаслідок цього гарантується також обмеження ємнісного навантаження шини даних. Якщо, навпаки, всі регістри та комірки пам'яті напівпровідникового пристрою пам'яті відкриваються одночасно, шина даних повинна мати значно вищу потужність запуску пристрою, для того, щоб у найнесприятливішому стані існувала можливість швидкого перекидання всіх комірок пам'яті напівпровідникового пристрою пам'яті.

В особливо переважному варіанті реалізації схемного пристрою за винаходом це стосується напівпровідникового чіпа, розташованого всередині корпусу електронної чіп-картки, причому цей чіп крім напівпровідникового пристрою пам'яті з довільною вибіркою охоплює також інші функціональні вузли, зокрема постійний напівпровідниковий пристрій пам'яті та/або напівпровідниковий пристрій пам'яті з електричним стиранням.

Інші ознаки, переваги та доцільні рішення винаходу пояснюються на прикладі реалізації за допомогою креслень. На кресленнях показано:

На фіг.1: схема схемного пристрою зі схемою запуску згідно з прикладом реалізації винаходу, та

на фіг.2 - схема регулювання, підпорядкована схемі запуску за фіг.1. Показаний на фіг.1 та 2 приклад реалізації винаходу схемного пристрою 1 має кілька електронних компонентів 2, 3, 4 та 5, робочим станом яких можна керувати за допомогою заданого керуючого сигналу 6, 7, 8 та 9, що подається на відповідні компоненти схеми 2... 5 для переведення їх у стан встановлення на нуль або стирання, причому замість даних, записаних до відповідних компонентів схеми 2... 5, записується значення логічного нуля. Компонент схеми 4 охоплює напівпровідниковий пристрій пам'яті з довільною вибіркою (статичний RAM), побудований на напівпровідниковій основі, з першою групою комірок пам'яті 10 та 11. Компонент схеми 5 охоплює напівпровідниковий пристрій пам'яті з довільною вибіркою (статичний RAM), побудований на аналогічній напівпровідниковій основі з іншою групою комірок пам'яті 12 та 13. Комірки пам'яті 10... 13 можна адресувати за допомогою схеми адресації 14 у формі відомого адресного декодера, керування яким можна здійснювати за допомогою адресних шин 15 (адресний біт нуля), 16 (адресний біт одиниця) та інших адресних шин 17 (адресні біти від двох до n) адресної шини 18, для довільно частого повторення процесу запису та зчитування 8-біт-даних схеми введення або виведення даних, поданих на шину даних 20, з 8 лініями даних від DB [0] до DB [7], як це є зрозумілим для спеціаліста, і тому тут немає потреби пояснювати це детально. Компонент схеми 2 представляє собою, наприклад, регістр для періодичного запам'ятовування даних, компонент схеми 3 представляє собою, наприклад, накопичувач, що також служить для періодичного запам'ятовування даних, причому регістр 2 та накопичувач 3 підпорядковані також інтегрованому на напівпровідниковій основі мікропроцесору (схемі керування), причому цей мікропроцесор для наочності не показаний більш детально на фіг.1 та 2. Адресне кодування комірок пам'яті 10... 13 здійснюється за допомогою 8 селективних числових шин 21, 21', 22, 22', 23, 23', 24, 24', що мають відповідний електричний зв'язок з адресним декодером 14. Крім показаних на фіг.1 компонентів схеми 2... 5, можуть бути передбачені будь-які інші компоненти, керування якими також можна здійснювати за допомогою керуючого сигналу для переведення у стан встановлення на нуль або стирання, причому замість існуючих даних записується значення логічного нуля.

За винаходом, для запуску процесу встановлення на нуль (скидання) даних, записаних до всіх компонентів схеми, із записом до них значення логічного нуля передбачена схема запуску 25 з певною кількістю послідовно підключених відпираючих каскадів 26, 27, 28, 29 відповідно до кількості компонентів схеми, якими потрібно керувати, яка активізується автоматично. Кожний відпираючий каскад охоплює вентильну схему, що складається

з транзисторного ключа 30, 31, 32, 33 та запускаючого пристрою 38, 39, 40, 41, що запускає керуючий сигнал на входи для керування 34, 35, 36, 37 транзисторних ключів 30... 33, причому на вхід цього запускаючого пристрою подається відповідно сигнал пуску 42, 43, 44, 45. Якщо граничне значення сигналу запускаючого пристрою дорівнює логічній "одиниці", відкривається відповідно керований транзисторний ключ 30... 33, в той час, коли при рівні логічного "нуля" відповідний транзисторний ключ замикається. Крім того, кожний відпираючий каскад 26... 29 має перемикач дозволу 47, 48, 49, 50, що відпирається за допомогою відпираючого сигналу 53, поданого на лінію сигналу дозволу 52, як тільки сигнал дозволу досягне рівня логічної "одиниці", і, навпаки, замикається при рівні сигналу дозволу 53, що дорівнює логічному "нулю". Для активізації схеми запуску 25, тобто послідовного у часі запуску для скидання даних, записаних до всіх компонентів схеми 2... 5, до значення логічного "нуля", сигнал дозволу встановлюється на рівень логічної "одиниці". При виставлянні сигналу дозволу 53 на рівень логічного "нуля" схема запуску 25 деактивується.

Схема запуску 25 за прикладом реалізації винаходу працює як описано нижче. Для активізації схеми запуску 25 видається сигнал дозволу 53, тобто рівень сигналу дозволу 53 переводиться з логічного "нуля" на логічну "одиницю" і відкривається транзисторний ключ 30 першого відпираючого каскаду 26 для запуску компонента схеми 2. За допомогою виданого транзисторним ключем 30 відпираючого сигналу 6 спрацьовує регістр 4 і запускає процес скидання або стирання даних до значення логічного нуля. Після цього на лінію 54 видається сигнал запускаючого пристрою 43, за допомогою якого активізується другий відпираючий каскад 27 схеми запуску 25, і стираються дані, записані у компоненті пристрою 43, за допомогою якого активізується другий відпираючий каскад 27 схеми запуску 25, і стираються дані, записані у компоненті схеми 3, до якої звертається другий відпираючий каскад 27. Другий відпираючий каскад 27 після цього видає сигнал запускаючого пристрою 46а на лінію 46 через логічну схему (елемент) "НЕ І" 62 та інвертор 63, що тепер відпирає всі відпираючі каскади 28 та 29 другої схеми запуску 25а для груп елементів пам'яті. Завдяки такому типу запуску елементів пам'яті 10... 13 через адресний декодер 14 завжди залишається активною одна комірка пам'яті 10... 13.

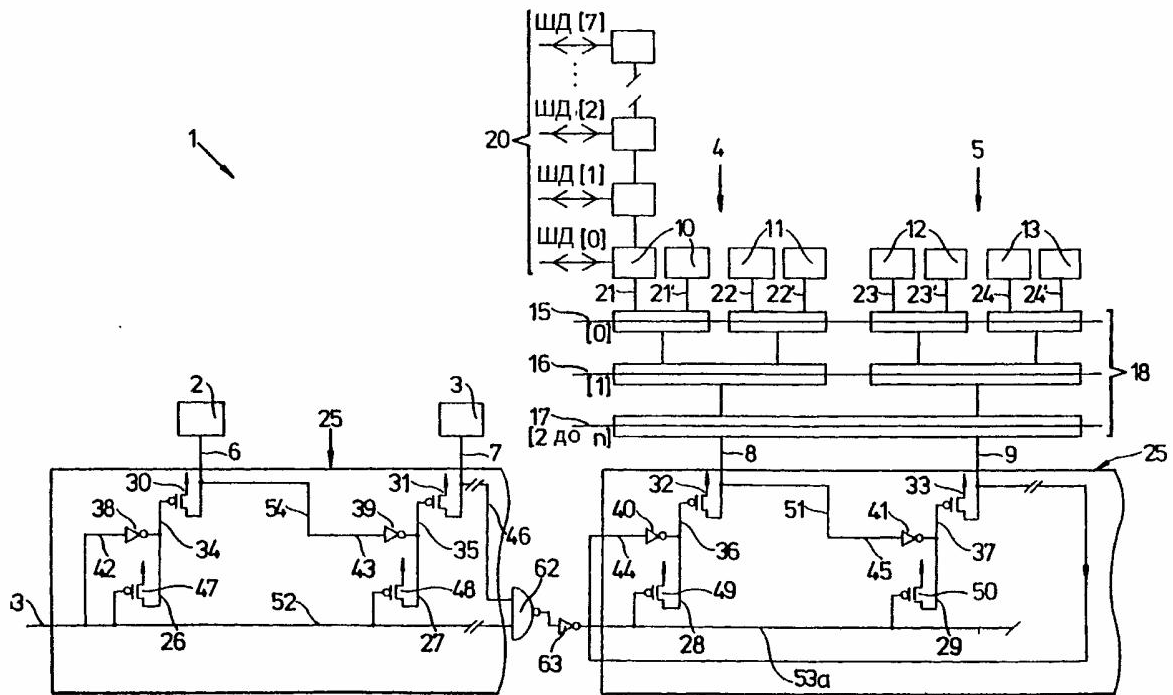
Для пояснення принципу функціонування складової частини схеми 25а далі уявимо, що спочатку адресний декодер опитує групу елементів пам'яті 4.

Отже, до активних комірок пам'яті 12 та 13 записуються логічні значення з шини 20, подані на лінії даних від DB [0] до DB [7]. При цьому вміст комірок пам'яті 12 та 13 автоматично замінюється нульовими значеннями, поданими на шину даних 20, що відповідає стиранню вмісту комірок пам'яті. Після цього через лінію 51 до задавального пристрою 41 наступного відпираючого каскаду 29 подається наступний сигнал запускаючого пристрою 45, що відкриває транзисторний ключ 33 відпираючого каскаду 29 для видачі керуючого сигналу 9. Керуючий сигнал 9, у свою чергу, служить для запуску комірок пам'яті 12 та 13 компонента схеми 5, причому замість даних, що зберігаються у комірках пам'яті 12 та 13, записується нульове значення, подане на шину даних 20. Таким чином автоматично здійснюється послідовне адресування за групами всіх комірок пам'яті RAM 10, 11, 12, 13 компонентів схеми 4 та 5, і у них записується значення логічного "нуля", подане на шину даних 20. Послідовна у часі адресація комірок пам'яті 10... 13 може здійснюватися дуже просто завдяки ієрархічно структурованій схемі декодера пристрою пам'яті RAM за допомогою схеми запуску 25а згідно з винаходом, так що передбачаються лише деякі додаткові логічні схеми, які можна реалізувати за допомогою простої схемотехніки. Лише після того, як була здійснена адресація групи комірок пам'яті 10 та 11, тобто відповідні числові шини знаходяться в активному стані, здійснюється адресація наступної групи комірок пам'яті 12 та 13 пристрою пам'яті RAM. Таким чином забезпечується обмеження ємнісного навантаження на шину даних 20. Якщо, навпаки, всі комірки пам'яті 10... 13 пристрою пам'яті RAM будуть відкриті одночасно, шина даних 20 повинна мати значно вищу потужність запускаючого пристрою, для того, щоб у найнесприятливішому випадку можна було б швидко записати замість даних в усіх комірках пам'яті пристрою пам'яті RAM значення логічного "нуля". Безпосередньо після процесу стирання, що спричиняє запуск, на шину даних 20 подається певне значення, наприклад, на всі лінії даних шини даних подається значення логічного "нуля".

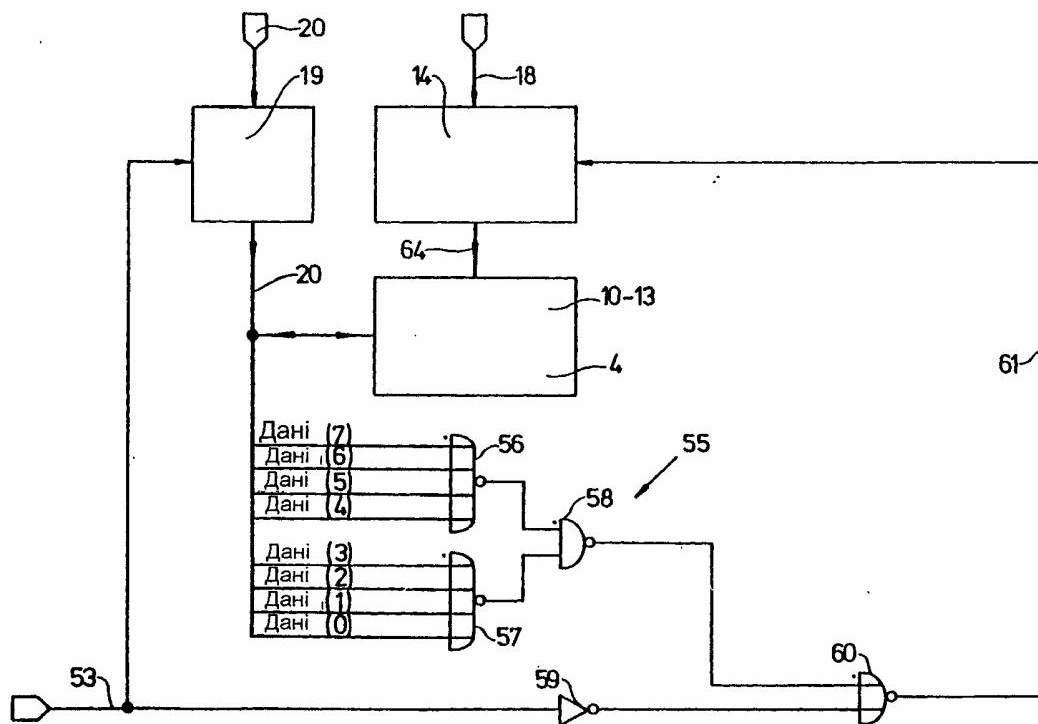
Сигнал запускаючого пристрою, що видається останнім відпираючим каскадом 29, розташованим на кінці схеми запуску 25, знову подається на вхід відпираючого каскаду 26.

На фіг.2 показані деталі схеми регулювання 55, підпорядкованої схемі запуску 25а, яка у разі збою керує новою активізацією схеми запуску 25, у тому разі, коли - наприклад, якщо час спрацьовування встановлений надто коротким - потужність запускаючого пристрою шини даних 20 виявляється недостатньою для того, щоб перевести регістр або комірку пам'яті пристрою пам'яті RAM на значення логічного "нуля", так що схема, що керує шиною даних, не має достатньої потужності запускаючого пристрою, тобто, незважаючи на те, що запуск компонентів схеми за допомогою запускаючого пристрою триває, на шині даних записуються "невірні", тобто такі, що відрізняються від нуля, значення. Схема регулювання 55 у цьому разі слідує за тим, щоб сигнал дозволу 53 для запуску схеми запуску 25 ще раз короткочасно мав рівень логічного "нуля", після чого переводився на рівень логічної "одиниці", і "ланцюг доміно" знову запускався у визначений момент. Передбачена для цього схема регулювання 55 охоплює вентиля "НЕ АБО" 56, 57, входи яких з'єднані з лініями шини даних 20, елемент "НЕ І" 58, входи якого з'єднані з виходами вентилів "НЕ АБО" 56 та 57, інвертор 59, на вхід якого подається сигнал дозволу 53, і вентиль "НЕ АБО" 60, входи якого з'єднані з виходом інвертора 59 та виходом елемента "НЕ І" 58, а вихід якого за допомогою лінії 61 зв'язаний з адресним декодером 14. Цифрою 64, у свою чергу, позначені лінії, на які подані відпираючі сигнали для регістрів 2 та 3, а також селективні числові шини для комірок пам'яті пристрою пам'яті RAM 10... 13. Після активізації схеми запуску 25, тобто коли сигнал дозволу 53 має рівень логічної "одиниці", всі лінії шини даних 20 переводяться на рівень логічного "нуля". Якщо у зв'язку з певними обставинами необхідна потужність запускаючого пристрою шини даних 20 виявиться недостатньою для того, щоб послідовно перекидати комірки пам'яті 10... 13 пристрою пам'яті RAM, за допомогою схеми регулювання 55 припиняється процес відпирання або встановлення на нуль комірок пам'яті у разі надто низької потужності запускаючого пристрою шини даних, і процес послідовної адресації продовжується лише тоді, коли рівень шини даних знову приймає стабільне значення логічного "нуля". На виході елемента "НЕ І" 58, таким чином, видається значення логічної "одиниці", якщо тільки одна лінія шини даних 20 приймає значення логічної "одиниці". При цьому на виході вентиля "НЕ АБО" 60 генерується сигнал із рівнем логічного "нуля" і через лінію 61 короткочасно відключає

схему запуску 25, поки на шину даних 20 знову не буде подане значення логічного "нуля". Таким чином, через певний час схема запуску 25 знову автоматично починає працювати, причому сигнал дозволу 53, поданий на вхід інвертора 59 та на вхід схеми введення або виведення даних 19, ще має значення логічної "одиниці".



Фиг.1



Фиг.2