

1. Схема для генерування негативних напруг, що містить перший транзистор (T_{x2}), перший вивід якого з'єднаний із вхідним виводом (E), а другий вивід якого з'єднаний із вихідним виводом (A) схеми, і вивід затвора якого через перший конденсатор (C_{b2}) з'єднаний із першим виводом тактового сигналу, другий транзистор (T_{y2}), перший вивід якого з'єднаний із виводом затвора першого транзистора (T_{x2}), другий вивід якого з'єднаний із другим виводом першого транзистора (T_{x2}), і вивід затвора якого з'єднаний із першим виводом першого транзистора (T_{x2}), і другий конденсатор (C_{p2}), перший вивід якого з'єднаний із другим виводом першого транзистора (T_{x2}), а другий вивід якого з'єднаний із другим виводом тактового сигналу, причому транзистори (T_{x2} , T_{y2}) є МОН-транзисторами, виконаними за технологією потрійної кишені, яка **відрізняється** тим, що вона містить третій транзистор (T_{z2}), перший вивід якого з'єднаний із другим виводом першого транзистора (T_{x2}), другий вивід третього транзистора (T_{z2}) з'єднаний із кишенею/кишенями (K_w), яка(які) містить(ять) транзистори (T_{x2} , T_{y2} , T_{z2}), а вивід затвора третього транзистора (T_{z2}) з'єднаний із першим виводом першого транзистора (T_{x2}).
2. Схема за пунктом 1, яка **відрізняється** тим, що вона містить четвертий транзистор (T_{za2}), перший вивід якого з'єднаний із першим виводом першого транзистора (T_{x2}), другий вивід четвертого транзистора (T_{za2}) з'єднаний із кишенею/кишенями, яка(які) містить(ять) транзистори (T_{x2} , T_{y2} , T_{za2} , T_{zb2}), а вивід затвора четвертого транзистора (T_{za2}) з'єднаний із другим виводом першого транзистора (T_{x2}).
3. Схема за пунктом 1, яка **відрізняється** тим, що вона містить третій конденсатор (C_3), перший вивід якого з'єднаний із першим виводом першого транзистора (T_{x2}), а другий вивід третього конденсатора (C_3) з'єднаний із кишенею/кишенями (K_w), яка(які) містить(ять) транзистори (T_{x2} , T_{y2} , T_{z2}).
4. Генератор нагачування зарядів для генерування негативних напруг, що містить послідовно з'єднані щонайменше дві схеми для генерування негативних напруг, який **відрізняється** тим, що схеми для генерування негативних напруг виконані за будь-яким із пунктів 1-3, причому вхідний вивід першої із цих схем з'єднаний із потенціалом маси, а тактові сигнали (F_1 , F_2 або F_3 , F_4) на виводах для тактових сигналів однієї схеми для генерування негативних напруг зміщені на половину тривалості періоду відносно тактових сигналів (F_3 , F_4 або F_1 , F_2) на виводах попередньої схеми для генерування негативних напруг.
5. Генератор накачування зарядів за пунктом 4, який **відрізняється** тим, що коефіцієнт заповнення періоду імпульсів щонайменше тактових сигналів (F_2 , F_4) на других виводах для тактових сигналів більший ніж 0,5.