

Схема для генерування негативних напруг і генератор нагачування зарядів для генерування негативних напруг, що містить перший транзистор (T_{x2}), перший вивід якого з'єднаний із вхідним виводом (E), а другий вивід якого з'єднаний із вихідним виводом (A) схеми, і вивід затвора якого через перший конденсатор (C_{b2}) з'єднаний із першим виводом тактового сигналу, другий транзистор (T_{y2}), перший вивід якого з'єднаний із виводом затвора першого транзистора (T_{x2}), другий вивід якого з'єднаний із другим виводом першого транзистора (T_{x2}), і вивід затвора якого з'єднаний із першим виводом першого транзистора (T_{x2}), і другий конденсатор (C_{p2}), перший вивід якого з'єднаний із другим виводом першого транзистора (T_{x2}), а другий вивід якого з'єднаний із другим виводом тактового сигналу, причому транзистори (T_{x2} , T_{y2}) є МОН-транзисторами, виконаними за технологією потрібної кишені, а також третій транзистор (T_{z2}), який з'єднує кишеню із виводом витоку першого (зарядного) транзистора, та четвертий транзистор, який з'єднує кишеню із виводом стоку першого транзистора.