



ДЕРЖАВНА СЛУЖБА
ІНТЕЛЕКТУАЛЬНОЇ
ВЛАСНОСТІ
УКРАЇНИ

УКРАЇНА

(19) **UA** (11) **75957** (13) **U**
(51) МПК
H03K 3/78 (2006.01)

(12) ОПИС ДО ПАТЕНТУ НА КОРИСНУ МОДЕЛЬ

(21) Номер заявки: u 2012 04091	(72) Винахідник(и): Коробков Микола Григорович (UA), Коробкова Олена Миколаївна (UA), Рубанов Василь Григорович (UA), Харченко Вячеслав Сергійович (UA)
(22) Дата подання заявки: 03.04.2012	
(24) Дата, з якої є чинними права на корисну модель: 25.12.2012	
(46) Публікація відомостей про видачу патенту: 25.12.2012, Бюл.№ 24	(73) Власник(и): НАЦІОНАЛЬНИЙ АЕРОКОСМІЧНИЙ УНІВЕРСИТЕТ ІМ. М.Є.ЖУКОВСЬКОГО "ХАРКІВСЬКИЙ АВІАЦІЙНИЙ ІНСТИТУТ", вул. Чкалова, 17, м. Харків, 61070, Україна (UA)

(54) ФОРМУВАЧ ПАЧКИ ІМПУЛЬСІВ ТИПУ МЕАНДР ПЕРЕНАСТРОЮВАНОЇ ТРИВАЛОСТІ І ФІКСОВАНОЇ КІЛЬКОСТІ, ЯКА ДОРІВНЮЄ ТРЬОМ

(57) Реферат:

Формувач пачки імпульсів типу меандр перенастроюваної тривалості і фіксованої кількості, яка дорівнює трьом, містить два реверсивні двійкові лічильники, перший із яких, налагоджений на режим віднімання, має вхід подачі імпульсів синхронізації, вхід дозволу синхронного паралельного завантаження і входи подачі даних при завантаженні, вхід дозволу режиму лічби, вхід асинхронної установки в нульовий стан, вихід переповнювання; третій дворозрядний лічильник, виконаний на двох JK-тригерах; два інвертори; перший і другий елементи АБО; ланцюжок, що складається з послідовно з'єднаних резистора і конденсатора; стартоstopний пристрій, який містить синхронний D-тригер зі входом асинхронної установки у нульовий стан, перший і другий елементи І. Введена спрощена структура другого реверсивного лічильника за рахунок запобігання ланцюгу синхронного паралельного завантаження.

UA 75957 U

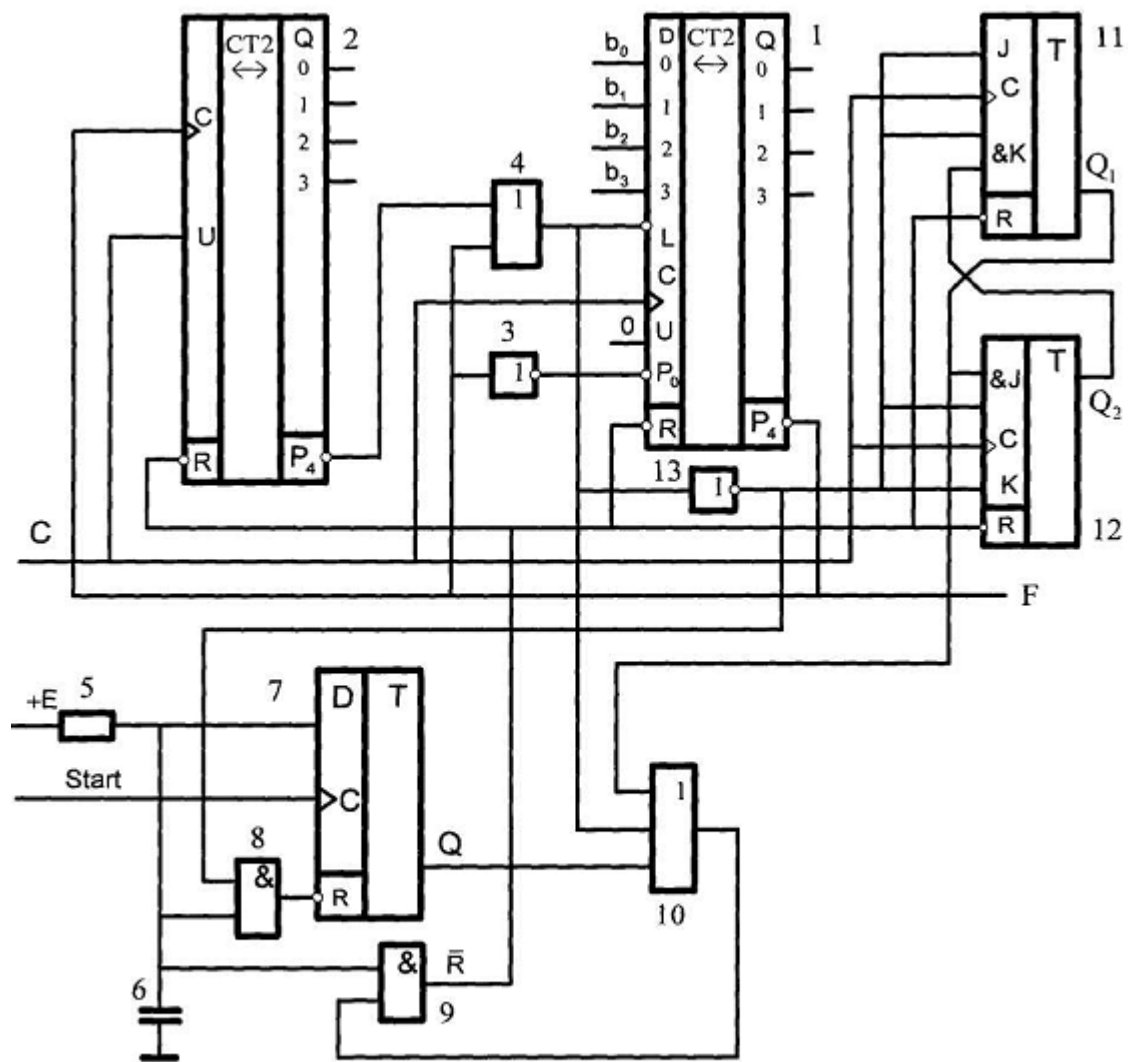


Fig. 1

Корисна модель належить до імпульсної техніки і призначена для формування пачки імпульсів типу меандр перенастроюваної тривалості і фіксованої кількості, яка дорівнює трьом.

Відомі формувачі, що містять кварцовий задавальний генератор, який працює в безперервному режимі, пристрій синхронізації і вихідний пристрій, що забезпечує формування необхідних імпульсів, часові параметри яких визначаються часовими параметрами імпульсів, що подаються на вхід (Тактовий генератор. Авторське свідоцтво СРСР №307502. - Бюлетень винаходів. №20, 1971; Тактовий генератор. АС СРСР №354544. - Бюлетень винаходів. №30, 1972).

Недолік відомих пристроїв - обмежені функціональні можливості, обумовлені налагоджуванням на фіксований режим часових параметрів вихідних імпульсів.

Найбільш близьким за технічною суттю і результатом, що досягається, є формувач пачки імпульсів типу меандр перенастроюваної тривалості і фіксованої кількості, яка дорівнює трьом (патент на корисну модель України № 63194, бюл. 18, 2011), що містить два реверсивні двійкові лічильники, перший із яких, налагоджений на режим віднімання, має вхід подачі імпульсів синхронізації, вхід дозволу синхронного паралельного завантаження і входи подачі даних при завантаженні, вхід дозволу режиму лічби, вхід асинхронної установки в нульовий стан, вихід переповнювання; третій дворозрядний лічильник з коефіцієнтом перерахування (модулем лічби) рівним трьом, виконаний на двох JK-тригерах; два інвертори; перший і другий елементи АБО; ланцюжок, що складається з послідовно з'єднаних резистора і конденсатора; стартоостопний пристрій, який містить синхронний D-тригер зі входом асинхронної установки у нульовий стан, перший і другий елементи І; при цьому загальна точка послідовно сполучених резистора і конденсатора з'єднана з інформаційним входом D-тригера, з одним входом першого та другого елементів І; вихід першого елемента І сполучений з входом асинхронної установки D-тригера в нульовий стан; другий вхід другого елемента І сполучений з виходом другого елемента АБО; вихід переповнювання першого лічильника, який утворює вихід формувача, з'єднано з першим входом першого елемента АБО і зі входом першого інвертора, вихід якого поєднаний з його входом дозволу лічби; вихід переповнювання другого лічильника з'єднано з другим входом першого елемента АБО, вихід якого з'єднано зі входом дозволу синхронного паралельного завантаження першого лічильника і входом другого інвертора, вихід якого з'єднано зі входом дозволу режиму лічби третього лічильника (зі входами J і K першого та другого JK-тригерів) і з другим входом першого елемента І; вихід першого JK-тригера з'єднано з першим входом другого елемента АБО, другий вхід якого з'єднано з виходом першого елемента АБО, а третій - з виходом D-тригера; входи паралельного завантаження першого лічильника утворюють входи настроювання пристрою на задану тривалість вихідних імпульсів; тактові входи JK-тригерів першого і другого лічильників сполучені між собою, утворюючи вхід формувача - вхід подачі безперервної періодичної послідовності імпульсів з виходу зовнішнього генератора; тактовий вхід D-тригера утворює вхід подачі імпульсів запуску; вихід другого елемента І з'єднаний зі входами асинхронної установки лічильників у нульовий стан.

Недолік відомого пристрою - складність внутрішньої структури другого лічильника, яка обумовлена необхідністю наявності входів паралельного завантаження, і, як наслідок, складність конструкції вхідних пристроїв і висока вартість пристрою.

В основу корисної моделі поставлено задачу удосконалення формувача періодичної послідовності імпульсів типу меандр з перенастроюваною тривалістю і фіксованої кількості, яка дорівнює трьом, шляхом введення нового складу елементів і нової організації взаємних з'єднань між ними, спрощення конструкції вхідних пристроїв формувача і, як наслідок, спрощення технології його виготовлення і зменшення вартості.

Поставлена задача вирішується тим, що в формувач пачки імпульсів типу меандр перенастроюваної тривалості і фіксованої кількості, яка дорівнює трьом, що містить два реверсивні двійкові лічильники, перший із яких, налагоджений на режим віднімання, має вхід подачі імпульсів синхронізації, вхід дозволу синхронного паралельного завантаження і входи подачі даних при завантаженні, вхід дозволу режиму лічби, вхід асинхронної установки в нульовий стан, вихід переповнювання; третій дворозрядний лічильник з коефіцієнтом перерахування (модулем лічби) рівним трьом, виконаний на двох JK-тригерах; два інвертори; перший і другий елементи АБО; ланцюжок, що складається з послідовно з'єднаних резистора і конденсатора; стартоостопний пристрій, який містить синхронний D-тригер зі входом асинхронної установки у нульовий стан, перший і другий елементи І; при цьому загальна точка послідовно сполучених резистора і конденсатора з'єднана з інформаційним входом D-тригера, з одним входом першого та другого елементів І; вихід першого елемента І сполучений з входом асинхронної установки D-тригера в нульовий стан; другий вхід другого елемента І сполучений з виходом другого елемента АБО; вихід переповнювання першого лічильника, який утворює вихід

формувача, з'єднано з першим входом першого елемента АБО і зі входом першого інвертора, вихід якого поєднаний з його входом дозволу лічби; вихід переповнювання другого лічильника, з'єднано з другим входом першого елемента АБО, вихід якого з'єднано зі входом дозволу синхронного паралельного завантаження першого лічильника і входом другого інвертора, вихід якого з'єднано зі входом дозволу режиму лічби третього лічильника (зі входами J і K першого та другого JK-тригерів) і з другим входом першого елемента І; вихід першого JK-тригера з'єднано з першим входом другого елемента АБО, другий вхід якого з'єднано з виходом першого елемента АБО, а третій - з виходом D-тригера; входи паралельного завантаження першого лічильника утворюють входи настроювання пристрою на задану тривалість вихідних імпульсів; тактові входи JK-тригерів першого і другого лічильників сполучені між собою, утворюючи вхід формувача - вхід подачі безперервної періодичної послідовності імпульсів з виходу зовнішнього генератора; тактовий вхід D-тригера утворює вхід подачі імпульсів запуску; вихід другого елемента І з'єднаний зі входами асинхронної установки лічильників у нульовий стан, відповідно до корисної моделі, введено спрощена структура другого реверсивного лічильника за рахунок запобігання ланцюгу синхронного паралельного завантаження, при цьому вхід налагодження на режим підсумовування/віднімання другого лічильника з'єднано з виходом переповнювання першого лічильника, вихід першого елемента АБО з'єднано зі входом дозволу синхронного паралельного завантаження першого лічильника і входом другого інвертора, вихід якого з'єднано з другим входом першого елемента І і зі входом дозволу режиму лічби третього лічильника, виконаного на двох JK-тригерах з коефіцієнтом перерахування (модулем лічби), рівним трьом, що при дозволу режиму лічби під впливом тактових імпульсів циклічно змінюються в порядку 00, 01, 11.

Заявлений формувач має новий склад елементів і нову організацію взаємозв'язків між ними, тобто містить нову сукупність ознак, які забезпечують нові технічні властивості.

Технічний результат, як наслідок цих властивостей - спрощення внутрішньої структури, конструкції вхідних пристроїв формувача і, як наслідок, спрощення технології його виготовлення і зменшення вартості.

На фіг. 1 приведена схема формувача.

Формувач містить: два чотирирозрядних реверсивних двійкових лічильники 1, 2 і один дворозрядний, виконаний на двох JK-тригерах 11, 12, з коефіцієнтом перерахування (модулем лічби), рівним трьом, що при дозволу режиму лічби під впливом тактових імпульсів циклічно змінюються в порядку 00, 01, 11; лічильник 1 має вхід подачі імпульсів синхронізації С, вхід налагодження на режим підсумовування/віднімання U, вхід дозволу синхронного паралельного завантаження L і входи подачі завантажуваних даних D₀-D₃, вхід дозволу режиму рахування P₀, вхід R асинхронної установки у нульовий стан R, вихід переповнювання P₄; лічильник 2 має вхід подачі імпульсів синхронізації С, вхід R асинхронної установки в нульовий стан R, вхід налагодження на режим підсумовування/віднімання U, вихід переповнювання P₄; третій лічильник, виконаний на JK-тригерах, перший з яких має один вхідні, два входи K, об'єднані по I, і вхід R асинхронної установки у нульовий стан, другий тригер має два входи J, об'єднані по I, один вхід K і вхід R асинхронної установки у нульовий стан; два інвертори 3, 13; два елементи АБО 4, 10; ланцюжок, що складається з послідовно з'єднаних резистора 5 і конденсатора 6; стартоstopний пристрій, який містить синхронний D-тригер 7 зі входом асинхронної установки у нульовий стан, два двовходові елементи І 8, 9. Загальна точка послідовно сполучених резистора 5 і конденсатора 6 сполучена з інформаційним входом D тригера 7, з одним входом елемента 8 і з одним входом елемента 9; другий вхід елемента 8 з'єднано з виходом інвертора 13. Вихід елемента 8 сполучений зі входом асинхронної установки D-тригера 7 у нульовий стан. Другий вхід елемента 9, сполучений з виходом елемента 10.

Вихід P₄ переповнювання лічильника 1, який утворює вихід F формувача, з'єднано зі входом U налагодження на режим підсумовування/віднімання лічильника 2, з першим входом першого елемента АБО 4 і зі входом інвертора 3, вихід якого поєднаний з його входом P₀ дозволу режиму лічби.

Вихід P₄ переповнювання лічильника 2, з'єднано з другим входом елемента АБО 4, вихід якого з'єднано зі входом L дозволу синхронного паралельного завантаження лічильника 1 і входом інвертора 13, вихід якого з'єднано зі входом дозволу режиму лічби третього лічильника (зі входами J і K першого та другого JK-тригерів) і з другим входом першого елемента І 8.

Вихід JK-тригера 11 з'єднано з першим входом елемента АБО 10, другий вхід якого з'єднано з виходом елемента АБО 4, а третій - з виходом D-тригера.

Входи D₀-D₃ паралельного завантаження лічильника 1 з'єднано з відповідними входами b₀b₁b₂b₃ настроювання пристрою на задану тривалість вихідних імпульсів. Тактової входи JK-тригерів 11, 12 і лічильників 1, 2 сполучені між собою, утворюючи вхід формувача - вхід С подачі

безперервної періодичної послідовності імпульсів з виходу зовнішнього генератора. Тактовий вхід D-тригера утворює вхід подачі імпульсів запуску (Start).

Вихід елемента І 9 з'єднаний зі входами R асинхронної установки JK-тригерів 11, 12 і лічильників 1, 2 у нульовий стан.

5 Працює формувач в наступній послідовності. Наявність ланцюжка, що складається із поєднаних послідовно резистора 5 і конденсатора 6, підключеного до шини живлячої напруги +Е, при включенні джерела живлення протягом деякого проміжку часу формує рівень логічного нуля на входах елементів 8 та 9, забезпечуючи формування рівня логічного нуля на їхніх виходах, приєднаних до входів R асинхронної установки в нульовий стан відповідно тригерів 7, 10 11, 12 і лічильників 1, 2. Після закінчення перехідного процесу, пов'язаного з включенням джерела живлення, тригери і обидва лічильники переходять у нульовий стан, формуючи рівень логічного нуля відповідно на виході Q тригерів і на виходах переповнювання Р₄ лічильників 1, 2, що веде до формування рівня логічного нуля на виході елемента АБО 10, вихід якого з'єднаний з входом елемента І 9, що забезпечує підтвердження (блокування) рівня логічного нуля на його виході, і по закінченні перехідного процесу, пов'язаного із зарядом конденсатора 6, що 15 забезпечує рівень логічного нуля на входах R асинхронної установки лічильників 1, 2 і JK-тригерів 11, 12 у нульовий стан. Оскільки режим асинхронної установки лічильників у нульовий стан має пріоритет відносно до всіх останніх режимів, доти, поки на вході елемента 9 (а отже і на його виході) зберігатиметься рівень логічного нуля, нульовий стан лічильників 20 залишатиметься незмінним.

Під час вступу імпульсу запуску (Start) на тактовий вхід тригера 7 по його фронту тригер переходить в одиничний стан (Q=1), формуючи рівень логічної одиниці на виході елемента 10, а отже на вході і виході елемента І 9, що забезпечує рівень логічної одиниці на входах R лічильників 1, 2 і JK-тригерів 11, 12, знімаючи блокування.

25 Нульове значення сигналу з виходів переповнювання лічильників 1, 2 надходить на вхід елемента АБО 4 і далі на вхід дозволу синхронного паралельного завантаження L лічильника 1, готуючи його до прийому інформації зі входів D₀-D₃ і на вхід інвертора 13, формуючи на його виході рівень логічної одиниці, що забезпечує режим лічби третього лічильника. Нульове значення сигналу з виходу переповнювання Р₄ лічильника 1 надходить на вхід U лічильника 2, 30 що забезпечує режим віднімання.

Під час вступу першого (після закінчення перехідного процесу, пов'язаного із зняттям блокування) тактового імпульсу С по його фронту відбувається паралельне завантаження лічильника 1 значеннями сигналів, що подаються на відповідні входи D₀-D₃, і зменшення на 35 одиницю вмісту лічильника 2, тобто лічильник 1 переходить у стан $V=b_0b_1b_2b_3$, лічильник 2 - в стан (0 - 1), тобто 1111, третій лічильник переходить в стан 01.

В результаті цього переходу сигнал на виходах переповнювання лічильників 1, 2 дорівнює рівню логічної одиниці, що веде до формування рівня логічної одиниці на виході елемента АБО 4, нульового значення на виходах інверторів 3, 13, що веде до переходу D-тригера у нульовий стан, заборони режиму синхронного паралельного завантаження і дозволу режиму лічби 40 лічильника 1, переходу лічильника 2 в режим підсумування, а третього лічильника в режим зберігання.

Під час вступу наступного тактового імпульсів вміст лічильника 1 зменшуватиметься на одиницю, а вміст лічильника 2 збільшується на одиницю, тобто лічильник 1 переходить в стан (V - 1), а лічильник 2 - у нульовий стан, одиничний стан третього лічильника залишається 45 незмінним.

Під час вступу подальших тактових імпульсів, вміст лічильника 1 зменшуватиметься на одиницю, вміст лічильника 2 збільшується на одиницю, одиничний стан третього лічильника залишається незмінним, доти, поки вміст лічильника 1 не стане рівним 0.

В результаті цього переходу лічильник 1 переходить в режим зберігання, лічильник 2 50 переходить в режим віднімання. Під час вступу подальших тактових імпульсів, нульовий стан лічильника 1 і одиничний стан третього лічильника залишається незмінними, а вміст лічильника 2 буде зменшуватиметься на одиницю доти, поки вміст лічильника 2 не стане рівним 0. В результаті цього переходу формується рівень логічного нуля на виході елемента 4 і рівень логічної одиниці на виході інвертора 13, лічильник 1 знову переходить у режим завантаження, 55 лічильник 2 залишається у режимі віднімання, третій лічильник переходить у режим лічби, готуючись до переходу у стан 11.

Під час вступу подальших тактових імпульсів процеси повторюються доти, поки вміст першого другого і третього лічильників не стане рівним 0.

60 В результаті цього переходу формується рівень логічного нуля на виході елемента 10, на вході і виході елемента 9, що забезпечує рівень логічного нуля на входах R асинхронної

установки лічильників 1, 2 і JK-тригерів 11, 12 у нульовий стан, тобто формувач повернеться в початковий стан. Зі вступом наступного імпульсу запуску процеси повторюються.

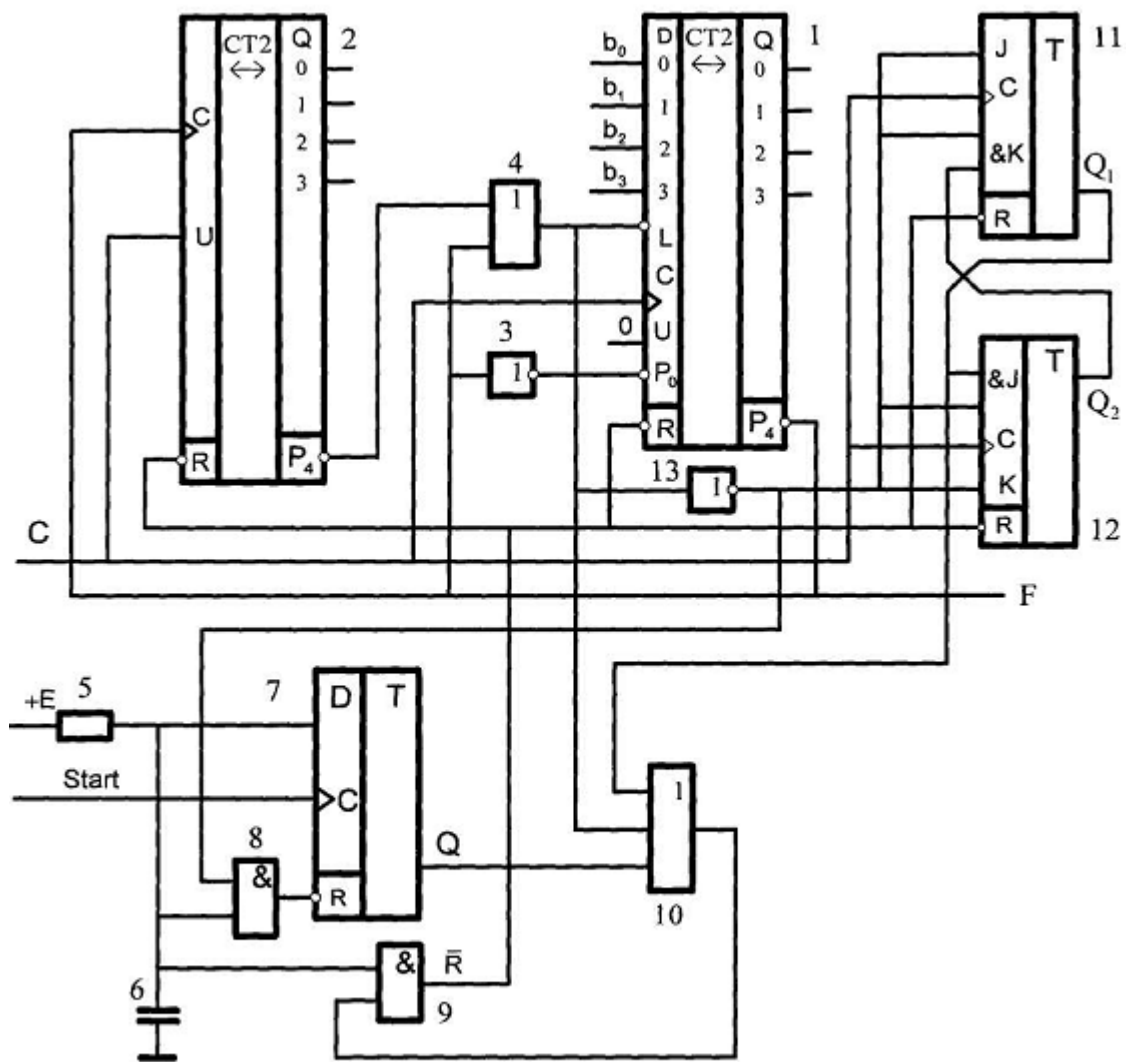
Таким чином, після закінчення перехідного процесу, пов'язаного зі вступом імпульсу запуску (зняттям нульового блокування лічильників і JK-тригерів) під час вступу на вхід формувача періодичної послідовності імпульсів з періодом T на виході переповнювання лічильника 1 генерується три імпульси типу меандр, часові параметри яких (тривалість імпульсу - $t_{и}$, яка дорівнює тривалості паузи - $t_{п}$) визначаються значенням управляючого слова B : $t_{и} = t_{п} = BT$

На фіг. 2 приведений граф переходів формувача, що складається з трьох кілець (нижнє кільце - граф переходів лічильника 1, середнє кільце - граф переходів лічильника 2, верхнє кільце - граф переходів третього лічильника) із загальною вершиною, відповідною вихідному стану, а на фіг. 3 - епюри, що ілюструють роботу для варіанта налагодження $B=3$: $t_{и} = t_{п} = 3T$.

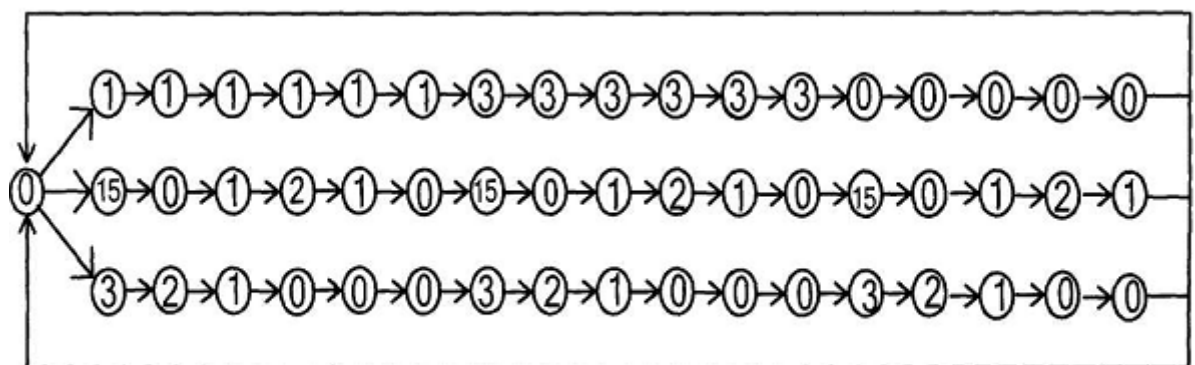
На відміну від відомого пристрою спрощення структури другого лічильника, а також наявність тільки однієї шини настроювання на заданий режим дозволило зменшити, кількість міжелементних зв'язків, спростити конструкцію вхідних пристроїв формувача, технологію його виготовлення і знизити вартість.

ФОРМУЛА КОРИСНОЇ МОДЕЛІ

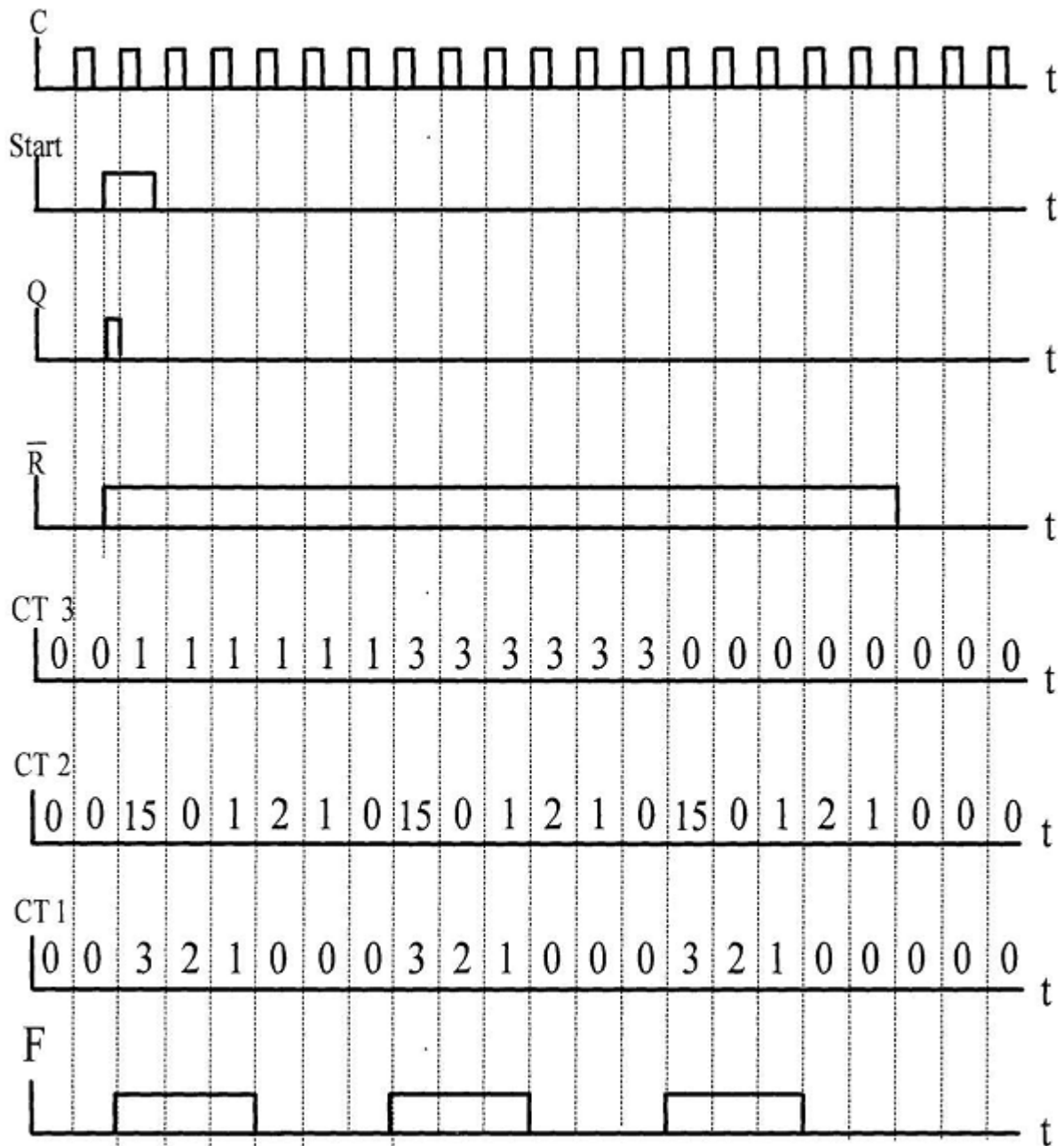
Формувач пачки імпульсів типу меандр перенастроюваної тривалості і фіксованої кількості, яка дорівнює трьом, що містить два реверсивні двійкові лічильники, перший із яких, налагоджений на режим віднімання, має вхід подачі імпульсів синхронізації, вхід дозволу синхронного паралельного завантаження і входи подачі даних при завантаженні, вхід дозволу режиму лічби, вхід асинхронної установки в нульовий стан, вихід переповнювання; третій дворозрядний лічильник, виконаний на двох JK-тригерах; два інвертори; перший і другий елементи АБО; ланцюжок, що складається з послідовно з'єднаних резистора і конденсатора; стартоостопний пристрій, який містить синхронний D-тригер зі входом асинхронної установки у нульовий стан, перший і другий елементи І, при цьому загальна точка послідовно сполучених резистора і конденсатора з'єднана з інформаційним входом D-тригера, з одним входом першого та другого елементів І; вихід першого елемента І сполучений зі входом асинхронної установки D-тригера у нульовий стан; другий вхід другого елемента І сполучений з виходом другого елемента АБО; вихід переповнювання першого лічильника, який утворює вихід формувача, з'єднано з першим входом першого елемента АБО і зі входом першого інвертора, вихід якого поєднаний з його входом дозволу лічби; вихід переповнювання другого лічильника з'єднано з другим входом першого елемента АБО; вихід першого JK-тригера з'єднано з першим входом другого елемента АБО, другий вхід якого з'єднано з виходом першого елемента АБО, а третій - з виходом D-тригера; входи паралельного завантаження першого лічильника утворюють входи настроювання пристрою на задану тривалість вихідних імпульсів; тактові входи JK-тригерів першого і другого лічильників сполучені між собою, утворюючи вхід формувача - вхід подачі безперервної періодичної послідовності імпульсів і виходу зовнішнього генератора; тактовий вхід D-тригера утворює вхід подачі імпульсів запуску; вихід другого елемента І з'єднаний зі входами асинхронної установки лічильників у нульовий стан, який **відрізняється** тим, що в нього введена спрощена структура другого реверсивного лічильника за рахунок запобігання ланцюгу синхронного паралельного завантаження, при цьому вхід налагодження на режим підсумовування/віднімання другого лічильника з'єднано з виходом переповнювання першого лічильника, вихід першого елемента АБО з'єднано зі входом дозволу синхронного паралельного завантаження першого лічильника і входом другого інвертора, вихід якого з'єднано з другим входом першого елемента І і зі входом дозволу режиму лічби третього лічильника, виконаного на двох JK-тригерах з коефіцієнтом перерахування (модулем лічби), рівним трьом, що при дозволу режиму лічби під впливом тактових імпульсів циклічно змінюються в порядку 00, 01, 11.



Фиг. 1



Фиг. 2



Фіг. 3

Комп'ютерна верстка Шеверун Д.М.

Державна служба інтелектуальної власності України, вул. Урицького, 45, м. Київ, МСП, 03680, Україна

ДП "Український інститут промислової власності", вул. Глазунова, 1, м. Київ – 42, 01601