



ДЕРЖАВНА СЛУЖБА
ІНТЕЛЕКТУАЛЬНОЇ
ВЛАСНОСТІ
УКРАЇНИ

УКРАЇНА

(19) **UA** (11) **109136** (13) **U**
(51) МПК (2016.01)
G06F 7/00

(12) ОПИС ДО ПАТЕНТУ НА КОРИСНУ МОДЕЛЬ

(21) Номер заявки: u 2016 02122	(72) Винахідник(и): Круліковський Борис Борисович (UA), Давлетова Аліна Ярославівна (UA), Возна Наталія Ярославівна (UA), Николайчук Ярослав Миколайович (UA)
(22) Дата подання заявки: 04.03.2016	
(24) Дата, з якої є чинними права на корисну модель: 10.08.2016	
(46) Публікація відомостей про видачу патенту: 10.08.2016, Бюл.№ 15	(73) Власник(и): Круліковський Борис Борисович, вул. Соборна, 11, м. Рівне, 33028 (UA), Давлетова Аліна Ярославівна, вул. Броварна, 12, кв. 7, м. Тернопіль, 46003 (UA), Возна Наталія Ярославівна, вул. Київська, 11-б, кв. 21, м. Тернопіль, 46016 (UA), Николайчук Ярослав Миколайович, вул. В. Великого, 14-а, м. Надвірна, Івано- Франківська обл., 78400 (UA)

(54) ОДНОРОЗРЯДНИЙ СУМАТОР

(57) Реферат:

Однорозрядний суматор містить третій а, перший б і другий е інформаційні входи однорозрядного суматора, перший прямий вихід суми В та другий прямий вихід переносу Е однорозрядного суматора, вхід блокування результату однорозрядного суматора, групи мультиплексно з'єднаних між собою логічних елементів, причому однорозрядний суматор містить першу, другу, третю та четверту групи мультиплексно з'єднаних виходами логічних елементів I-HI, перший вхід блокування результату однорозрядного суматора з'єднаний з першим входом першого логічного елемента I, другий вхід якого з'єднаний з третім інформаційним входом а однорозрядного суматора, а вихід з'єднаний з відповідними першими входами логічних елементів I-HI першої, другої, третьої та четвертої груп, другий вхід блокування результату однорозрядного суматора першого логічного елемента АБО, другий вхід якого з'єднаний з четвертим інверсним \bar{a} інформаційним входом однорозрядного суматора, а вихід з'єднаний з відповідними першими входами логічних елементів I-HI першої, другої, третьої та четвертої груп, третій вхід блокування однорозрядного суматора з'єднаний з першим входом другого логічного елемента I, другий вхід якого з'єднаний з першим інформаційним входом б однорозрядного суматора, а вихід з'єднаний з другими відповідними входами першої, другої, третьої та четвертої груп логічних елементів I-HI, четвертий вхід блокування результату однорозрядного суматора з'єднаний з першим входом другого логічного елемента АБО, другий вхід якого з'єднаний з п'ятим інверсним інформаційним входом \bar{b} однорозрядного суматора, а вихід з'єднаний з відповідними другими входами логічних елементів I-HI, відповідні треті входи яких з'єднані з другими прямим е та шостим інверсним \bar{e} інформаційним входом однорозрядного суматора, входи логічних елементів I-HI першої групи з'єднані між собою і першим прямим виходом суми В однорозрядного суматора, входи логічних елементів I-HI другої групи з'єднані між собою і другим прямим виходом переносу Е однорозрядного суматора, входи третьої групи логічних елементів I-HI з'єднані між собою і третім інверсним

UA 109136 U

виходом суми \bar{B} однорозрядного суматора, а виходи четвертої групи логічних елементів І-НІ з'єднані між собою і четвертим інверсним виходом переносу \bar{E} однорозрядного суматора.

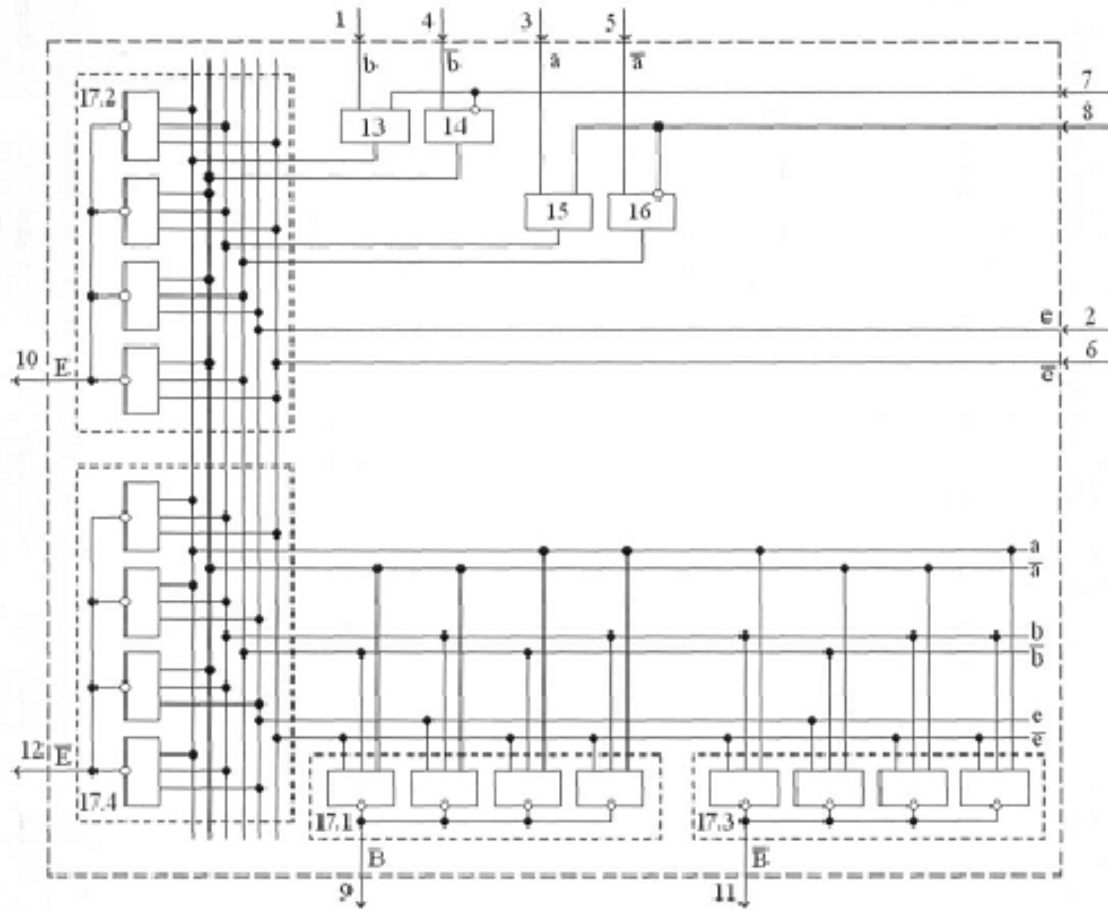


Fig. 2

Однорозрядний суматор належить до засобів обчислювальної техніки і може бути використаний як швидкодіючий повнофункціональний компонент багаторозрядних та багатокаскадних суматорів арифметико-логічних пристроїв мікропроцесорів, матричних та матрично-модульних перемножувачів та проблемно-орієнтованих процесорів шифрування даних.

Відомий аналог - двійковий однорозрядний суматор [Арифметика цифровых машин / Карцев М.А. - М.: Наука, 1969. - С.64, рис.2-4], який містить першу і другу групи мультиплексно з'єднаних між собою логічних елементів І-АБО, входи яких відповідно з'єднані з прямими a , b , e та інверсними \bar{a} , \bar{b} , \bar{e} входами двійкового однорозрядного суматора, вихід першого логічного елемента АБО першої групи з'єднаний з першим прямим виходом В двійкового однорозрядного суматора, вихід другого логічного елемента АБО другої групи з'єднаний з другим прямим виходом переносу Е двійкового однорозрядного суматора та входом логічного елемента НІ, вихід якого з'єднаний з третім інверсним виходом переносу \bar{E} двійкового однорозрядного суматора.

Недоліком такого однорозрядного суматора є низька швидкодія, обумовлена наявністю трьох послідовно з'єднаних логічних елементів І-АБО-НІ при формуванні інверсного біта переносу \bar{E} , та обмежені функціональні можливості, обумовлені тим, що такий однорозрядний суматор не містить інверсного біта суми \bar{B} , а також входу та схеми блокування результату однорозрядного суматора.

Відомий аналог - двійковий однорозрядний суматор [Арифметика цифровых машин/ Карцев М.А. -М.: Наука, 1969. - С. 68, рис. 2-13], який містить першу групу мультиплексно з'єднаних виходами логічних елементів І-НІ та другу групу мультиплексно з'єднаних виходами логічних елементів І, входи логічних елементів І-НІ першої групи та перші входи логічних елементів І другої групи відповідно з'єднані з прямими інформаційними входами a , b , e двійкового однорозрядного суматора, входи логічних елементів І-НІ першої групи з'єднані між собою і інверсним виходом переносу \bar{E} двійкового однорозрядного суматора та другими відповідними входами другої групи логічних елементів І, входи яких з'єднані між собою і другим інверсним виходом суми \bar{B} двійкового однорозрядного суматора.

Недоліком такого однорозрядного суматора є низька швидкодія обумовлена наявністю двох послідовно-з'єднаних логічних елементів І-НІ, і при формуванні інверсного виходу суми \bar{B} двійкового однорозрядного суматора, обмежені функціональні можливості такого однорозрядного суматора обумовлені відсутністю інверсних входів \bar{a} , \bar{b} , \bar{e} , відсутністю прямих виходів суми В та переносу Е, а також відсутністю входу та схеми блокування результату однорозрядного суматора.

Відомий (найближчий) аналог - однорозрядний суматор [Шатилло В.В., Прохоров С.Н., Явиц Л.С. Матричный умножитель// АС № 1615704 SU, Бюллетень № 47.- 1990, Фіг. 2], що є базовим компонентом матричного перемножувача, який містить третій a , перший b і другий e прямі інформаційні входи однорозрядного суматора, вхід блокування результатів однорозрядного суматора, перший прямий вихід суми В та другий прямий вихід переносу Е однорозрядного суматора, першу і другу групи мультиплексно з'єднаних між собою логічних елементів І-АБО, перші відповідні входи який з'єднані третім a , першим b і другим e інформаційними входами однорозрядного суматора, які з'єднані з входами відповідних логічних елементів НІ, входи яких з'єднані з відповідними другими входами логічних елементів І першої і другої групи, треті входи яких з'єднані з входом блокування результату однорозрядного суматора, вихід першого логічного елемента АБО першої групи з'єднаний з першим прямим виходом суми В однорозрядного суматора, а вихід другого логічного елемента АБО другої групи з'єднаний з другим прямим виходом переносу Е однорозрядного суматора.

Недоліком такого однорозрядного суматора є низька швидкодія обумовлена наявністю трьох послідовно з'єднаних логічних елементів НІ-І-АБО при формуванні прямих бітів суми В та переносу Е однорозрядного суматора та обмежені функціональні можливості, які обумовлені відсутністю інверсних \bar{a} , \bar{b} , \bar{e} інформаційних входів та інверсних виходів суми \bar{S} та переносу \bar{E} однорозрядного суматора.

Наявність одного входу блокування результату однорозрядного суматора недостатньо розширює його функціональні можливості оскільки не дозволяє вибірково блокувати прямі та інверсні інформаційні входи a , \bar{a} та b , \bar{b} однорозрядного суматора.

Відсутність повного набору прямих та інверсних входів та виходів відомого найближчого аналога однорозрядного суматора суттєво обмежує його функціональні можливості при його застосуванні як базового компонента багаторозрядних та багатокаскадних суматорів, матричних та матрично-модульних перемножувачів і принципово не дозволяє максимально підвищити його швидкодію до одного мікротакту переключення одного логічного елемента чи вентиля у його структурі.

В основу корисної моделі поставлена задача підвищення швидкодії та розширення функціональних можливостей однорозрядного суматора, шляхом додаткового введення чотирьох груп мультиплексно-з'єднаних виходами логічних елементів І-НІ та повноти прямих та інверсних входів-виходів, що дозволяє забезпечити принципову можливість збереження високої швидкодії при його застосуванні як структурного базового компонента функціонально складніших багаторозрядних матричних, пірамідальних та багатокаскадних засобів обчислювальної техніки, в яких передбачені операції додавання двійкових чисел теоретико-числового базису Радемахера.

Поставлена задачі вирішується завдяки тому, що однорозрядний суматор містить третій a , перший b і другий e інформаційні входи однорозрядного суматора, перший прямий вихід суми B та другий прямий вихід переносу E однорозрядного суматора, вхід блокування результату однорозрядного суматора, групи мультиплексно з'єднаних між собою логічних елементів, який відрізняється тим, що однорозрядний суматор додатково містить першу, другу, третю та четверту групи додатково введених мультиплексно з'єднаних виходами логічних елементів І-НІ, перший вхід блокування результату однорозрядного суматора додатково з'єднаний з першим входом додатково введеного першого логічного елемента І, другий вхід якого додатково з'єднаний з третім інформаційним входом a однорозрядного суматора, а вихід з'єднаний з відповідними першими входами логічних елементів І-НІ першої, другої, третьої та четвертої груп, другий додатково введений вхід блокування результату однорозрядного суматора додатково введеного першого логічного елемента АБО, другий вхід якого додатково з'єднаний з додатково введеним четвертим інверсним \bar{a} інформаційним входом однорозрядного суматора, а вихід з'єднаний з відповідними першими входами логічних елементів І-НІ першої, другої, третьої та четвертої груп, третій додатково введений вхід блокування однорозрядного суматора додатково з'єднаний з першим входом додатково введеного другого логічного елемента І, другий вхід якого додатково з'єднаний з першим інформаційним входом b однорозрядного суматора, а вихід додатково з'єднаний з другими відповідними входами першої, другої, третьої та четвертої груп логічних елементів І-НІ, четвертий додатково введений вхід блокування результату однорозрядного суматора додатково з'єднаний з першим входом другого додатково введеного логічного елемента АБО, другий вхід якого додатково з'єднаний з додатково введеним п'ятим інверсним інформаційним входом \bar{b} однорозрядного суматора, а вихід додатково з'єднаний з відповідними другими входами логічних елементів І-НІ, відповідні треті входи яких додатково з'єднані з другими прямим e та додатково введеним шостим інверсним \bar{e} інформаційним входом однорозрядного суматора, входи логічних елементів І-НІ першої групи додатково з'єднані між собою і першим прямим виходом суми B однорозрядного суматора, входи логічних елементів І-НІ другої групи додатково з'єднані між собою і другим прямим виходом переносу E однорозрядного суматора, входи третьої групи логічних елементів І-НІ додатково з'єднані між собою і додатково введеним третім інверсним виходом суми \bar{B} однорозрядного суматора, а входи четвертої групи логічних елементів І-НІ додатково з'єднані між собою і додатково введеними четвертим інверсним виходом переносу \bar{E} однорозрядного суматора.

Корисна модель ілюструється кресленням, де на Фіг. 1 показана структурна схема однорозрядного суматора, який містить: 3, 1, 2 - відповідно третій, перший і другий прямі інформаційні входи a , b , e ; 4, 5, 6 - відповідно третій, перший і другий інверсні інформаційні входи \bar{a} , \bar{b} , \bar{e} ; 7, 8 - відповідно перший та другий парафазні входи блокування результату однорозрядного суматора; 9, 10, 11, 12 - відповідно перший прямий вихід суми B , другий прямий вихід переносу E , третій інверсний вихід суми \bar{B} та четвертий інверсний вихід переносу

\bar{E} однорозрядного суматора; 13, 14 - відповідно перший та другий логічні елементи I; 15, 16 - відповідно перший та другий логічні елементи АБО з першим прямим та другим інверсним входами; 17.1, 17.2, 17.3, 17.4 - відповідно перша, друга, третя та четверта групи логічних елементів I-II.

5 На Фіг. 2 показано функціональне позначення однорозрядного суматора: a , b , P_- , відповідно третій, перший та другий інформаційні входи однорозрядного суматора; \bar{a} , \bar{b} , \bar{P}_- відповідно четвертий, п'ятий та шостий інверсні інформаційні входи однорозрядного суматора; P , S - відповідно перший та другий виходи переносу та суми однорозрядного суматора; \bar{P}_+ , \bar{S} - відповідно третій та четвертий інверсні виходи переносу та суми однорозрядного суматора; Y - вхід блокування результату однорозрядного суматора.

Однорозрядний суматор працює наступним чином.

10 При подачі на прямі та інверсні входи 1-6 однорозрядного суматора комбінації парафазних логічних значень "0" та "1" бітів: a , \bar{a} , b , \bar{b} , e , \bar{e} , що додаються, та наявності на входах 7, 8 блокування результату однорозрядного суматора логічних значень "1" реалізується повнофункціональна робота однорозрядного суматора за один мікротакт одночасного переключення відповідних логічних елементів I-II у групах 17.1, 17.2, 17.3 та 17.4, а на прямих B та інверсних \bar{B} виходах суми однорозрядного суматора та прямих E та інверсних \bar{E} виходах переносу формуються парафазні прямі та інверсні двійкові значення результату додавання.

20 При вибірковій подачі на вхід 7 блокування результату однорозрядного суматора логічного значення "0" відповідно на виходах першого логічного елемента 13 I формується біт "0", а на виході першого логічного елемента 14 АБО формується біт "1", що приводить до блокування першого прямого b та другого інверсного \bar{b} інформаційних входів однорозрядного суматора.

25 При вибірковій подачі на вхід 8 логічного значення "0" відповідно на виході другого логічного елемента 15 I формується біт "0", а на виході другого логічного елемента 16 АБО формується біт "1", що приводить до блокування третього прямого a та інверсного \bar{a} інформаційних входів однорозрядного суматора.

При одночасній подачі на входи 7 та 8 логічних значень "0" блокуються обидва прямі a , b та інверсні \bar{a} , \bar{b} інформаційні входи однорозрядного суматора.

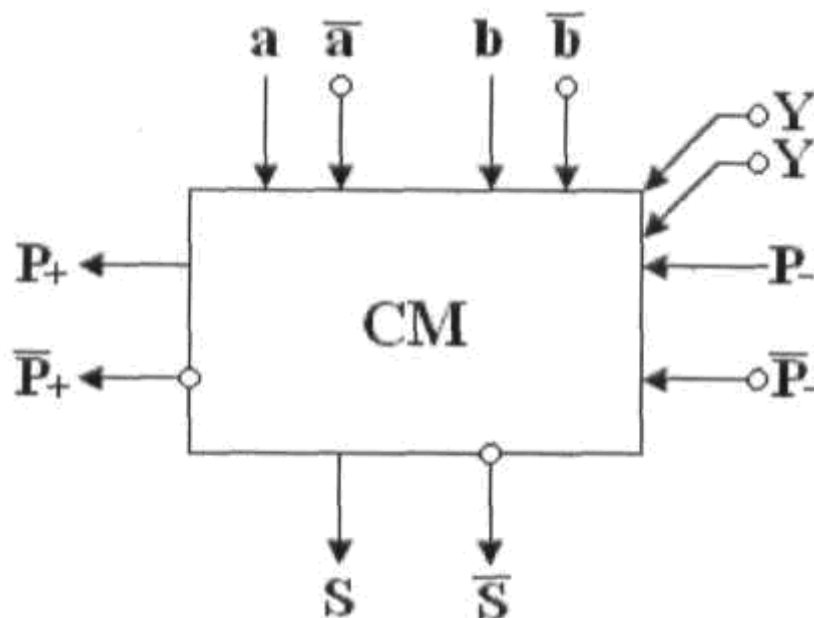
30 При одночасній подачі на другий прямий e вхід переносу однорозрядного суматора логічного значення "0", а на 6 інверсний вхід переносу \bar{e} логічного значення "1" блокуються інформаційні входи переносу і однорозрядний суматор функціонально трансформується у неповний однорозрядний суматор з двома парафазними інформаційними входами a , \bar{a} та b , \bar{b} , що розширює можливість застосування такого суматора як граничного компонента матричних перемножувачів Брауна та мультиплексорів Бута.

35 Технічний результат. У результаті корисної моделі створено швидкодіючий однорозрядний суматор з розширеними функціональними можливостями як компонента багаторозрядних та багатокаскадних суматорів засобів обчислювальної техніки з часовою складністю $1v$, де v - тривалість переключення одного логічного елемента чи вентиля, реалізованого згідно з відповідною мікроелектронною технологією на спеціалізованих кристалах або ПЛІС, що у 2-5 разів перевищує швидкодію відомих аналогів однорозрядних суматорів на основі логічних елементів I, АБО, II.

ФОРМУЛА КОРИСНОЇ МОДЕЛІ

45 Однорозрядний суматор, що містить третій a , перший b і другий e інформаційні входи однорозрядного суматора, перший прямий вихід суми B та другий прямий вихід переносу E однорозрядного суматора, вхід блокування результату однорозрядного суматора, групи мультиплексно з'єднаних між собою логічних елементів, який **відрізняється** тим, що однорозрядний суматор містить першу, другу, третю та четверту групи мультиплексно з'єднаних виходами логічних елементів I-II, перший вхід блокування результату однорозрядного суматора з'єднаний з першим входом першого логічного елемента I, другий вхід якого з'єднаний з третім інформаційним входом a однорозрядного суматора, а вихід з'єднаний з відповідними першими входами логічних елементів I-II першої, другої, третьої та четвертої груп, другий вхід блокування результату однорозрядного суматора першого логічного елемента АБО, другий вхід

- якого з'єднаний з четвертим інверсним \bar{a} інформаційним входом однорозрядного суматора, а вихід з'єднаний з відповідними першими входами логічних елементів I-НІ першої, другої, третьої та четвертої груп, третій вхід блокування однорозрядного суматора з'єднаний з першим входом другого логічного елемента І, другий вхід якого з'єднаний з першим інформаційним входом b однорозрядного суматора, а вихід з'єднаний з другими відповідними входами першої, другої, третьої та четвертої груп логічних елементів I-НІ, четвертий вхід блокування результату однорозрядного суматора з'єднаний з першим входом другого логічного елемента АБО, другий вхід якого з'єднаний з п'ятим інверсним інформаційним входом \bar{b} однорозрядного суматора, а вихід з'єднаний з відповідними другими входами логічних елементів I-НІ, відповідні треті входи яких з'єднані з другими прямим e та шостим інверсним \bar{e} інформаційним входом однорозрядного суматора, входи логічних елементів I-НІ першої групи з'єднані між собою і першим прямим виходом суми B однорозрядного суматора, входи логічних елементів I-НІ другої групи з'єднані між собою і другим прямим виходом переносу E однорозрядного суматора, входи третьої групи логічних елементів I-НІ з'єднані між собою і третім інверсним виходом суми \bar{B} однорозрядного суматора, а входи четвертої групи логічних елементів I-НІ з'єднані між собою і четвертим інверсним виходом переносу \bar{E} однорозрядного суматора.



Фиг. 1

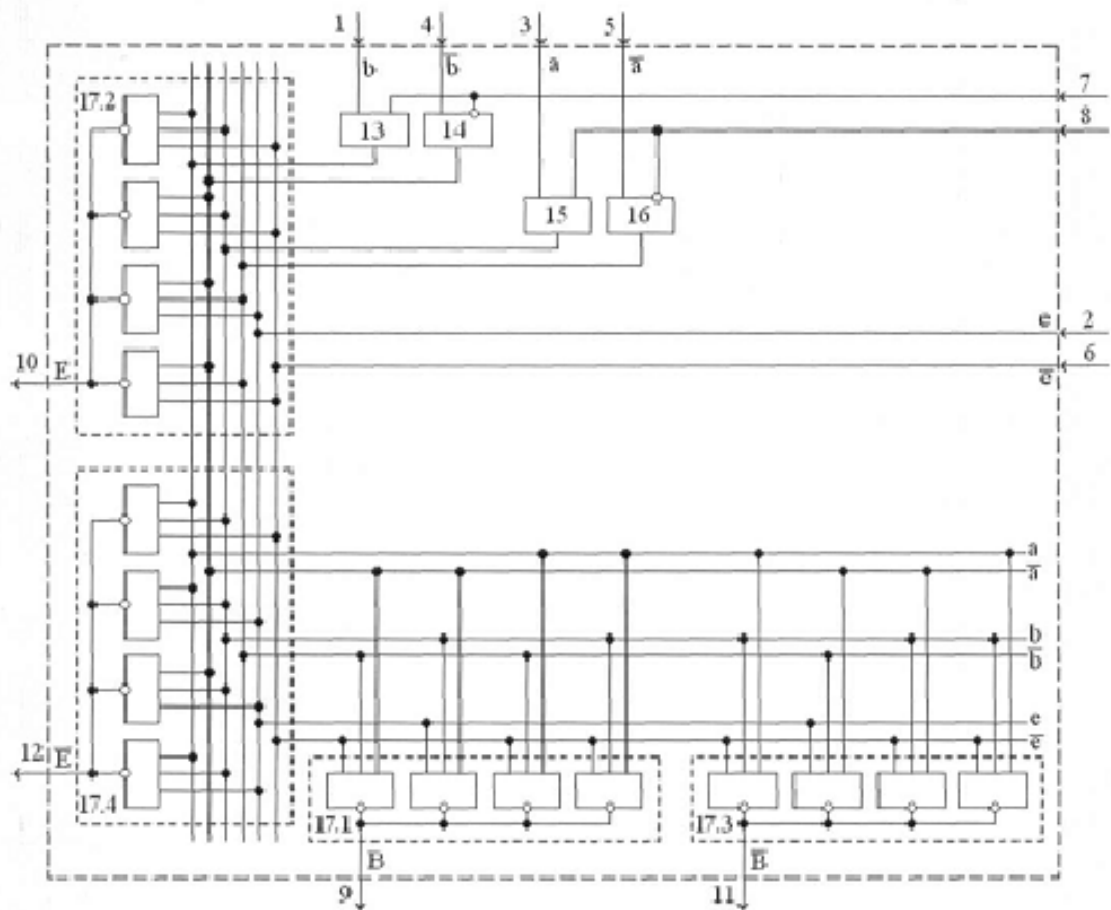


Fig. 2

Комп'ютерна верстка Г. Паяльніков

Державна служба інтелектуальної власності України, вул. Урицького, 45, м. Київ, МСП, 03680, Україна

ДП "Український інститут промислової власності", вул. Глазунова, 1, м. Київ – 42, 01601