



МІНІСТЕРСТВО
ЕКОНОМІЧНОГО
РОЗВИТКУ І ТОРГІВЛІ
УКРАЇНИ

УКРАЇНА

(19) UA

(11) 129605

(13) U

(51) МПК

H03K 3/78 (2006.01)

(12) ОПИС ДО ПАТЕНТУ НА КОРИСНУ МОДЕЛЬ

(21) Номер заявки: **u 2018 03376**

(22) Дата подання заявки: **30.03.2018**

(24) Дата, з якої є чинними
права на корисну
модель: **12.11.2018**

(46) Публікація відомостей
про видачу патенту: **12.11.2018, Бюл.№ 21**

(72) Винахідник(и):

**Коробков Микола Григорович (UA),
Коробкова Олена Миколаївна (UA),
Харченко Вячеслав Сергійович (UA)**

(73) Власник(и):

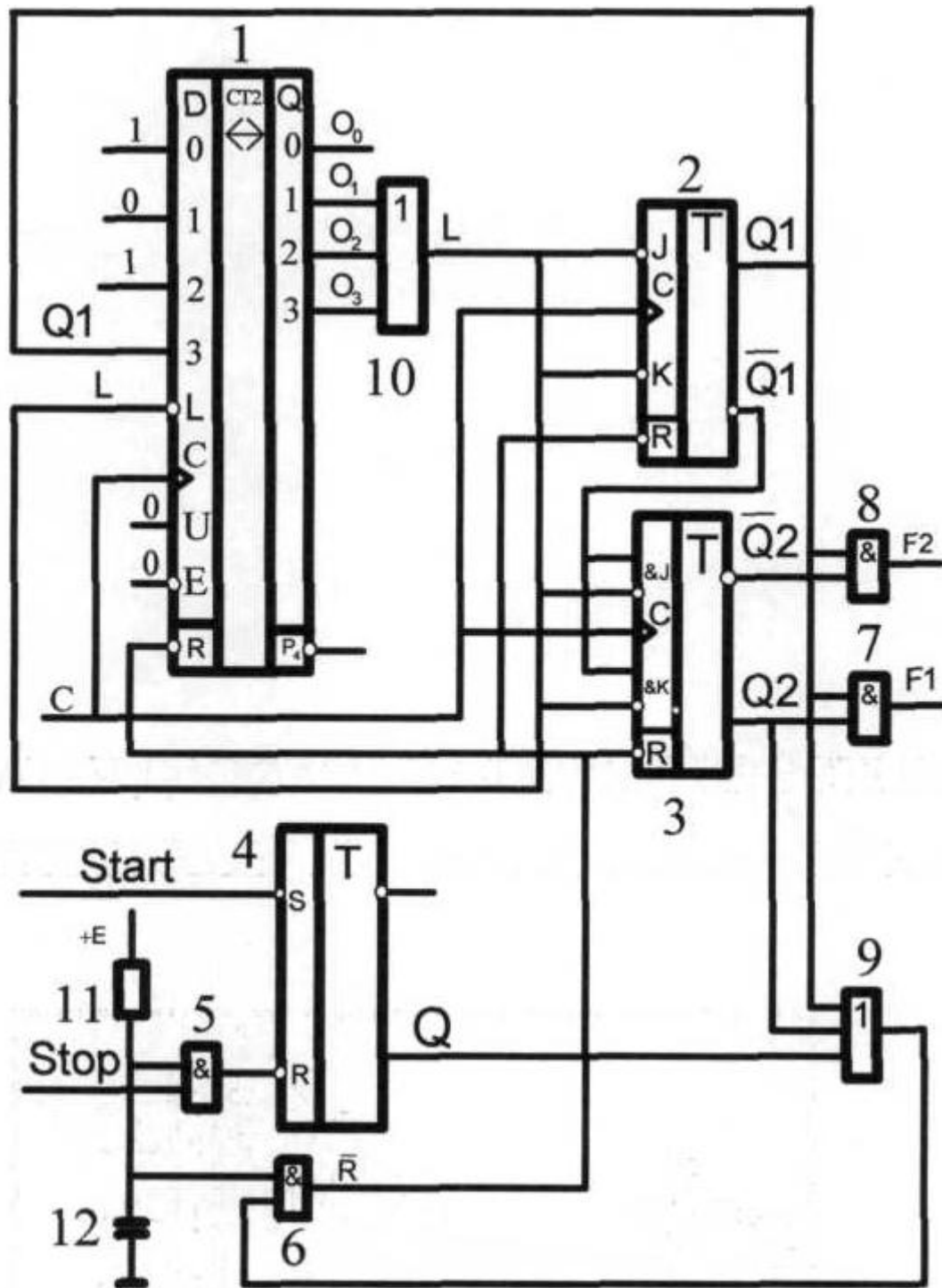
**НАЦІОНАЛЬНИЙ АЕРОКОСМІЧНИЙ
УНІВЕРСИТЕТ ІМ. М.Є. ЖУКОВСЬКОГО
"ХАРКІВСЬКИЙ АВІАЦІЙНИЙ ІНСТИТУТ",
вул. Чкалова, 17, м. Харків, 61070 (UA)**

(54) ФОРМУВАЧ ДВОФАЗНОЇ ПОСЛІДОВНОСТІ ІМПУЛЬСІВ З ПЕРЕНАСТРОЮВАНИМИ ЧАСОВИМИ ПАРАМЕТРАМИ

(57) Реферат:

Формувач двофазної послідовності імпульсів з перенастроюваними часовими параметрами містить два двійкових лічильники, перший з яких реверсивний, налагоджений на режим віднімання, що має вхід подачі імпульсів синхронізації, вихід переповнювання, вхід дозволу синхронного паралельного завантаження і входи подачі даних при завантаженні, вхід дозволу режиму лічби, вхід асинхронної установки у нульовий стан; стартозупинний пристрій, який містить тригер зі входом асинхронної установки у нульовий стан і ланцюжок, що складається з послідовно з'єднаних резистора і конденсатора підключено до джерела живлення. Перший і другий елементи І; перший і другий елементи АБО; загальна точка послідовно з'єднаних резистора і конденсатора з'єднана з першими входами першого і другого елементів І. Другий вхід першого елемента І утворює вхід подачі імпульсів зупинки формування вихідних імпульсів. Вихід першого елемента І з'єднано зі входом установки тригера у нульовий стан. Перший вхід першого елемента АБО з'єднано з виходом тригера. Вихід першого елемента АБО з'єднано з першим входом другого елемента І; вихід другого елемента І з'єднано зі входами асинхронної установки у нульовий стан першого і другого лічильників. Додатково введено третій і четвертий елементи І. Стартозупинний пристрій виконано на асинхронному RS-тригері, а замість другого чотирирозрядного лічильника введено дворозрядний віднімальний лічильник з послідовністю переходів 00-11-10-01-00, виконаний на двох JK-тригерах зі входом асинхронної установки у нульовий стан. Перший JK-тригер має інверсні входи J і K, другий JK-тригер має інверсні і прямі входи J і K, які об'єднано по І; інверсні входи JK-тригерів з'єднано з виходом другого елемента АБО і входом дозволу синхронного паралельного завантаження першого лічильника. Прямі входи J і K другого JK-тригера з'єднано з інверсним виходом першого JK-тригера. Прямий вихід першого JK-тригера з'єднано з першими входами третього і четвертого елементів І, з другим входом першого елемента АБО, з четвертим входом завантаження першого лічильника. Прямий вихід другого JK-тригера з'єднано з другим входом четвертого елемента І і третім входом першого елемента АБО. Перший і третій входи завантаження з'єднано з рівнем логічної одиниці, другий вхід завантаження з'єднано з рівнем логічного нуля; виходи другого, третього і четвертого розрядів першого лічильника з'єднано зі входами другого елемента АБО; тактові входи першого і другого лічильників утворюють вхід формувача - вхід подачі періодичної послідовності імпульсів з виходу зовнішнього генератора. Вхід асинхронної установки в одиничний стан RS-тригера утворює вхід подачі імпульсів запуску. Вихід третього елемента І утворює вихід першої фази (F1), а вихід четвертого елемента І утворює вихід другої фази (F2) імпульсів.

UA 129605 U



Фиг. 1

Корисна модель належить до імпульсної, обчислювальної і вимірювальної техніки та призначена для формування двофазної послідовності імпульсів з перенастроюваними часовими параметрами.

Відомі формувачі, що містять кварцовий задаючий генератор, який працює в безперервному режимі, пристрій синхронізації і вихідний пристрій, що забезпечує формування необхідних імпульсів, часові параметри яких визначаються часовими параметрами імпульсів, що подаються на вхід (Ю.В. Новиков Основы цифровой техники. - М.: "МИР" 2001. - Рис. 5.13-5.18).

Недолік відомих пристроїв - складність внутрішньої структури.

Відомі формувачі періодичної багатофазної послідовності імпульсів з перенастроюваними часовими параметрами (патенти України на винахід № №87081, 89240, 106091, 106395, 10807, 106867, 10888, 106091, 107028).

Недоліком пристроїв є складність структури, що обумовлено необхідністю використання двох багаторозрядних двійкових лічильників, дешифраторів.

Найбільш близьким аналогом за технічною суттю і результатом, що досягається, є формувач двофазної послідовності імпульсів з перенастроюваними часовими параметрами (патент України на корисну модель 63193), який містить два двійкових лічильника, перший з яких реверсивний, налагоджений на режим віднімання, що має вхід подачі імпульсів синхронізації, вхід дозволу синхронного паралельного завантаження і входи подачі даних при завантаженні, вхід дозволу режиму лічби, вхід асинхронної установки у нульовий стан, вихід переповнювання; стартозупинний пристрій, який містить тригер зі входом асинхронної установки у нульовий стан і ланцюжок, що складається з послідовно з'єднаних резистора і конденсатора, підключеного до джерела живлення; перший і другий елементи І; перший і другий елементи АБО, при цьому перший вхід першого елемента АБО з'єднано з виходом тригера; вихід першого елемента АБО з'єднано з першим входом першого елемента І; вихід першого елемента І з'єднаний зі входами асинхронної установки лічильників у нульовий стан; тактові входи лічильників утворюють вхід формувача - вхід подачі періодичної послідовності імпульсів з виходу зовнішнього кварцового генератора; входи паралельного завантаження першого лічильника утворюють входи налагодження формувача на задані часові параметри вихідних імпульсів.

Недолік даного пристрою - складність схеми формувача, що обумовлено побудовою стартозупинного пристрою на синхронному D-тригері і використанням другого чотирирозрядного лічильника і, як наслідок, висока споживана потужність, висока вартість.

В основу корисної моделі поставлена задача, що полягає у спрощенні перестроювання формувача на задану тривалість імпульсів, зменшення споживаної потужності та вартості.

Поставлена задача вирішується тим, що в формувач двофазної послідовності імпульсів з перенастроюваними часовими параметрами, який містить два двійкових лічильника, перший з яких реверсивний, налагоджений на режим віднімання, що має вхід подачі імпульсів синхронізації, вихід переповнювання, вхід дозволу синхронного паралельного завантаження і входи подачі даних при завантаженні, вхід дозволу режиму лічби, вхід асинхронної установки у нульовий стан (при цьому активний сигнал на вході дозволу синхронного паралельного завантаження має пріоритет по відношенню до активного сигналу на вході дозволу режиму лічби, а активний сигнал на вході асинхронної установки у нульовий стан має пріоритет по відношенню до активного сигналу на вході дозволу синхронного паралельного завантаження і на вході дозволу режиму лічби); стартозупинний пристрій, який містить тригер зі входом асинхронної установки у нульовий стан і ланцюжок, що складається з послідовно з'єднаних резистора і конденсатора підключено до джерела живлення; перший і другий елементи І; перший і другий елементи АБО; загальна точка послідовно з'єднаних резистора і конденсатора з'єднана з першими входами першого і другого елементів І; другий вхід першого елемента І утворює вхід подачі імпульсів зупинки формування вихідних імпульсів; вихід першого елемента І з'єднано зі входом установки тригера у нульовий стан; перший вхід першого елемента АБО з'єднано з виходом тригера; вихід першого елемента АБО з'єднано з першим входом другого елемента І; вихід другого елемента І з'єднано зі входами асинхронної установки у нульовий стан першого і другого лічильників, згідно з корисною моделлю, введено третій і четвертий елементи І, при цьому, стартозупинний пристрій виконано на асинхронному RS-тригері, а замість другого чотирирозрядного лічильника введено дворозрядний віднімальний лічильник з послідовністю переходів 00-11-10-01-00, виконаний на двох JK-тригерах зі входом асинхронної установки у нульовий стан; перший JK-тригер має інверсні входи J і K; другий JK-тригер має інверсної і прямі входи J і K, які об'єднано по І; інверсні входи JK-тригерів з'єднано з виходом другого елемента АБО і входом дозволу синхронного паралельного завантаження першого лічильника; прямі входи J і K другого JK-тригера з'єднано з інверсним виходом першого JK-

тригера; прямий вихід першого JK-тригера з'єднано з першими входами третього і четвертого елементів І, з другим входом першого елемента АБО, з четвертим входом завантаження першого лічильника; прямий вихід другого JK-тригера з'єднано з другим входом четвертого елемента І і третім входом першого елемента АБО; перший і третій входи завантаження з'єднано з рівнем логічної одиниці, другий вхід завантаження з'єднано з рівнем логічного нуля; виходи другого, третього і четвертого розрядів першого лічильника з'єднано зі входами другого елемента АБО; тактові входи першого і другого лічильників утворюють вхід формувача - вхід подачі періодичної послідовності імпульсів з виходу зовнішнього генератора; вхід асинхронної установки в одиничний стан RS-тригера утворює вхід подачі імпульсів запуску; вихід третього елемента І утворює вихід першої фази (F1), а вихід четвертого елемента І утворює вихід другої фази (F2) імпульсів.

На фіг. 1 наведена схема формувача.

Формувач містить: реверсивний двійковий лічильник 1, налагоджений на режим віднімання, який має вхід подачі тактових імпульсів С, вхід налагодження на режим підсумовування/віднімання U, вхід дозволу синхронного паралельного завантаження L і входи подачі даних D₀-D₃, вхід дозволу режиму лічби Е, вхід асинхронної установки у нульовий стан R; перший (2) і другий (3) JK-тригери зі входом дозволу переходу (інверсні входи JK) і входами асинхронної установки у нульовий стан R; RS-тригер 4; перший (5), другий (6), третій (7) і четвертий (8) елементи І; перший (9) і другий (10) елементи АБО; послідовно з'єднані резистор 11 і конденсатор (12), підключені до джерела живлення +Е.

Загальна точка послідовно сполучених резистора 11 і конденсатора 12 з'єднана з першими входами елементів 5, 6. Другий вхід елемента 5 утворює вхід подачі імпульсів зупинки (Stop) формування вихідних імпульсів. Вихід елемента 5 з'єднано зі входом (R) установки у нульовий стан RS-тригера. Другий вхід елемента 6 з'єднано з виходом елемента 9. Вихід елемента 6 з'єднано зі входами асинхронної установки у нульовий стан лічильника 1 і JK - тригерів (2,3).

Інверсні входи JK-тригерів, які утворюють вхід дозволу переходу другого лічильника, з'єднано з виходом елемента 10 і входом дозволу синхронного паралельного завантаження (L) лічильника 1. прямі входи J і K тригера 3 з'єднано з інверсним виходом ($\overline{Q_1}$) JK-тригера 2.

Прямий вихід тригера 2 з'єднано з першими входами елементів 7, 8, з другим входом елемента 9, з четвертим (D₃) входом завантаження лічильника 1, перший (D₀) і третій (D₂) входи завантаження з'єднано з рівнем логічної одиниці, другий (D₁) вхід завантаження з'єднано з рівнем логічного нуля. Прямий вихід тригера 3 з'єднано з другим входом елемента 8 і третім входом елемента 9. Виходи другого (Q₁), третього (Q₂) і четвертого (Q₃) розрядів лічильника 1 з'єднано зі входами елемента 10. Тактові входи (С) першого і другого лічильників утворюють вхід формувача - вхід подачі періодичної послідовності імпульсів з виходу зовнішнього генератора. Вхід асинхронної установки (S) в одиничний тригера 4 утворює вхід подачі імпульсів запуску (Start). Вихід елемента 7 утворює вихід першої фази (F1), а вихід елемента 8 утворює вихід другої фази (F2) імпульсів.

Аналіз функціонування розглянемо для варіанта настроювання на формування двофазної послідовності, тривалість імпульсів дорівнює 5Т, а паузи між сусідніми фазами дорівнює 13Т, забезпечується значенням сигналів сформованих на входах паралельного завантаження лічильника 1.

Наявність ланцюжка, що складається із поєднаних послідовно резистора 11 і конденсатора 12, підключеного до шини живлячої напруги +Е, при включенні джерела живлення протягом деякого проміжку часу формує рівень логічного нуля на входах елементів 5 та 6, забезпечуючи формування рівня логічного нуля на їхніх виходах, тобто на входах асинхронної установки у нульовий стан (R) тригерів 2, 3, 4 і лічильника 1. По закінченню заряду конденсатора одиничне значення на першому вході елемента 6 залишається незмінним.

Після закінчення перехідного процесу, пов'язаного з включенням джерела живлення, лічильник 1 і тригери переходять у нульовий стан, формуючи: рівень логічного нуля на виходах Q₀-Q₃ лічильника 1; на виході елемента 10, значення сигналу на якому дорівнює логічній суми сигналів з виходів Q₁ Q₂, Q₃ ($L=Q_1 \vee Q_2 \vee Q_3$); на прямих виходах тригерів 2, 3; на вході дозволу синхронного завантаження лічильника 1 і на інверсних входах J і K-тригерів 2,3 (на вході дозволу синхронного переходу другого лічильника); на виході елемента 9, який з'єднано зі входом елемента 6, що забезпечує рівень логічного нуля на входах R асинхронної установки у нульовий стан лічильника 1 і тригерів 2, 3 і по закінченню перехідного процесу, пов'язаного із зарядом конденсатора 12.

Оскільки режим асинхронної установки лічильника 1 і тригерів 2, 3 у нульовий стан має пріоритет по відношенню до всіх останніх режимів, то до тих пір поки на входах елемента 9 зберігатиметься рівень логічного нуля, при надходженні тактових імпульсів нульовий стан

лічильника 1 і тригерів 2, 3 залишатиметься незмінним, тобто залишатиметься незмінним нульове значення на виходах формувача ($F1=Q_1 \cdot Q_2$, $F2=Q_1 \cdot Q_2$).

Під час вступу імпульсу запуску (Start) на вхід S тригера 4 тригер переходить в одиничний стан, формуючи рівень логічної одиниці на його виході ($Q=1$), на вході та виході елемента 9, що забезпечує рівень логічної одиниці на входах R лічильника 1 і тригерів 2, 3, знімаючи блокування. Оскільки на входах L лічильника 1 і тригерів 2, 3 рівень логічного нуля, то до моменту вступу чергового тактового імпульсу перший лічильник знаходиться у режимі готовності завантаження, а другий лічильник, у режимі готовності до переходу у перший наступний стан. І тоді під час вступу першого (після закінчення перехідного процесу, пов'язаного із зняттям блокування) тактового імпульсу С по його фронту відбувається паралельне завантаження лічильника 1 значеннями сигналів, сформованих на входах $D_0=D_2=1$, $D_1=D_3=0$. Лічильник 1 переходить у стан $Q_3Q_2Q_1Q_0=0101=5$, другий лічильник - у наступний стан ($Q_2=Q_1=1$), що веде до формування одиничного значення на виході елемента 10, на входах L лічильника 1, на інверсних входах J і K-тригерів 2,3, тобто до заборони завантаження лічильника 1 і переходу другого лічильника, дозволу режиму лічби (віднімання) лічильника 1. Під час вступу подальших тактових імпульсів зміст лічильника 1 зменшуватиметься, а стан другого лічильника залишається незмінним. Як тільки зміст лічильника 1 стане рівним 0001, на виході елемента 10 формується нульове значення. В результаті цього лічильник 1 знову перейде в режим завантаження, а другий лічильник - в режим переходу. Під час вступу наступного тактового імпульсу відбувається паралельне завантаження лічильника 1 значеннями сигналів, сформованих на входах $D_0=1$, $D_1=0$, $D_2=D_3=1$. Перший лічильник переходить у стан $Q_3Q_2Q_1Q_0=1101=13$, другий лічильник - у наступний стан ($Q_2=1$, $Q_1=0$),

Надалі процеси аналогічні, тобто як тільки зміст лічильника 1 становиться рівним 0001, на виході елемента 10 формується нульове значення, лічильник 1 знову переходить в режим завантаження, а другий лічильник - в режим переходу. Відбувається паралельне завантаження лічильника 1 значеннями сигналів, на входах D_0-D_3 . Лічильник 1 знову переходить у стан 0101=5, а другий лічильник - у наступний відповідно його графу переходів, на виходах другого лічильника (на виходах тригерів 2, 3) формуються значення відповідно стану, які визначають значення сигналів на виходах елементів 7, 8 (на виходах формувача F1, F2).

На фіг. 2 наведений граф переходів формувача, що складається з чотирьох кілець (верхнє кільце - граф переходів лічильника 1, друге кільце - граф переходів другого лічильника, третє кільце значення сигналів на виході F1, четверте кільце значення сигналів на виході F2 із загальною вершиною, відповідною нульовому стану лічильників, а на фіг. 3 зображені епюри, що ілюструють роботу для варіанта настроювання на формування двофазної послідовності, тривалість імпульсів якої дорівнює 5Т, а пауза між сусідніми фазами дорівнює 13Т.

Зупинка процесу формування вихідної послідовності імпульсів здійснюється подачею імпульсу, відповідного рівню логічного одиниці, на вхід зупинки (Stop), що формує активний рівень сигналу на вході R асинхронної установки RS-тригера, що призводить до переходу його у нульовий стан (Q=0). Імпульс Stop, як правило, асинхронний по відношенню до імпульсів зовнішнього генератора і до стану лічильників.

Якщо у момент вступу імпульсу Stop другий лічильник (тригери 2,3) знаходитиметься у нульовому стані, то при переході тригера 4 у нульовий стан на входах елемента 9 і його виході буде сформований рівень логічного 0, обумовлюючи рівень логічного нуля на вході та виході елемента 6, що призведе до переходу лічильника 1 у нульовий стан, а отже, до припинення процесу формування імпульсів на виходах F1, F2.

Якщо у момент вступу імпульсу Stop другий лічильник знаходитиметься у стані, відмінному від нульового, то на виході елемента 9, з'єданого зі входом елемента 6, буде рівень логічної одиниці. Оскільки на другому вході елемента 6 також рівень логічної одиниці, визначуваний одиничним значенням на конденсаторі, то на виході елемента 6 (на входах R лічильника і тригерів 2, 3) буде рівень логічної одиниці. Звідси витікає, що у момент вступу імпульсу Stop припинення формування не станеться, обумовлюючи тим самим запобігання спотворенню останнього імпульсу у вихідній послідовності. І тільки зі вступом подальших тактових імпульсів, коли відбуватиметься перехід другого лічильника у нульовий стан на входах елемента 9 і його виході буде сформований рівень логічного 0, обумовлюючи рівень логічного нуля на вході та виході елемента 6, що призведе до переходу лічильника 1 у нульовий стан, а отже, до припинення процесу формування.

Зі вступом наступного імпульсу запуску усі процеси повторюються.

На відміну від відомого пристрою спрощення структури стартозупинного пристрою і другого лічильника, виконаного на двох JK-тригерах, дозволило спростити технологію виготовлення формувача, знизити споживану потужність і вартість.

ФОРМУЛА КОРИСНОЇ МОДЕЛІ

5 Формувач двофазної послідовності імпульсів з перенастроюваними часовими параметрами, що
 містить два двійкових лічильники, перший з яких реверсивний, налагоджений на режим
 віднімання, що має вхід подачі імпульсів синхронізації, вихід переповнювання, вхід дозволу
 синхронного паралельного завантаження і входи подачі даних при завантаженні, вхід дозволу
 10 режиму лічби, вхід асинхронної установки у нульовий стан (при цьому активний сигнал на вході
 дозволу синхронного паралельного завантаження має пріоритет по відношенню до активного
 сигналу на вході дозволу режиму лічби, а активний сигнал на вході асинхронної установки у
 нульовий стан має пріоритет по відношенню до активного сигналу на вході дозволу синхронного
 паралельного завантаження і на вході дозволу режиму лічби); стартостопний пристрій, який
 15 містить тригер зі входом асинхронної установки у нульовий стан і ланцюжок, що складається з
 послідовно з'єднаних резистора і конденсатора підключено до джерела живлення; перший і
 другий елементи І; перший і другий елементи АБО; загальна точка послідовно з'єднаних
 резистора і конденсатора з'єднана з першими входами першого і другого елементів І; другий
 вхід першого елемента І утворює вхід подачі імпульсів зупинки формування вихідних імпульсів;
 вихід першого елемента І з'єднано зі входом установки тригера у нульовий стан; перший вхід
 20 першого елемента АБО з'єднано з виходом тригера; вихід першого елемента АБО з'єднано з
 першим входом другого елемента І; вихід другого елемента І з'єднано зі входами асинхронної
 установки у нульовий стан першого і другого лічильників, який **відрізняється** тим, що введено
 третій і четвертий елементи І, при цьому стартостопний пристрій виконано на асинхронному RS-
 тригері, а замість другого чотирирозрядного лічильника введено дворозрядний віднімальний
 25 лічильник з послідовністю переходів 00-11-10-01-00, виконаний на двох JK-тригерах зі входом
 асинхронної установки у нульовий стан; перший JK-тригер має інверсні входи J і K; другий JK-
 тригер має інверсні і прямі входи J і K, які об'єднано по І; інверсні входи JK-тригерів з'єднано з
 виходом другого елемента АБО і входом дозволу синхронного паралельного завантаження
 першого лічильника; прямі входи J і K другого JK-тригера з'єднано з інверсним виходом першого
 JK-тригера; прямий вихід першого JK-тригера з'єднано з першими входами третього і
 30 четвертого елементів І, з другим входом першого елемента АБО, з четвертим входом
 завантаження першого лічильника; прямий вихід другого JK-тригера з'єднано з другим входом
 четвертого елемента І і третім входом першого елемента АБО; перший і третій входи
 завантаження з'єднано з рівнем логічної одиниці, другий вхід завантаження з'єднано з рівнем
 логічного нуля; виходи другого, третього і четвертого розрядів першого лічильника з'єднано зі
 35 входами другого елемента АБО; тактові входи першого і другого лічильників утворюють вхід
 формувача - вхід подачі періодичної послідовності імпульсів з виходу зовнішнього генератора;
 вхід асинхронної установки в одиничний стан RS-тригера утворює вхід подачі імпульсів запуску;
 вихід третього елемента І утворює вихід першої фази (F1), а вихід четвертого елемента І
 утворює вихід другої фази (F2) імпульсів.

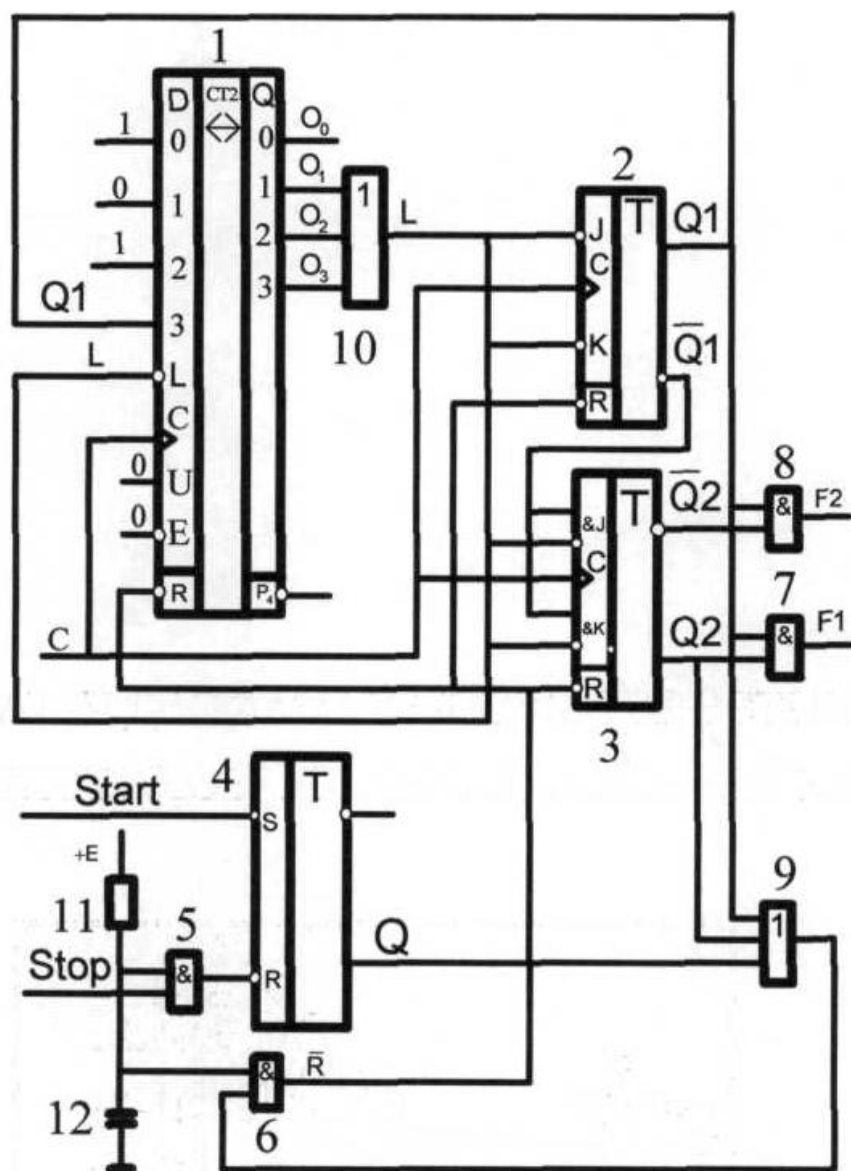


Fig. 1

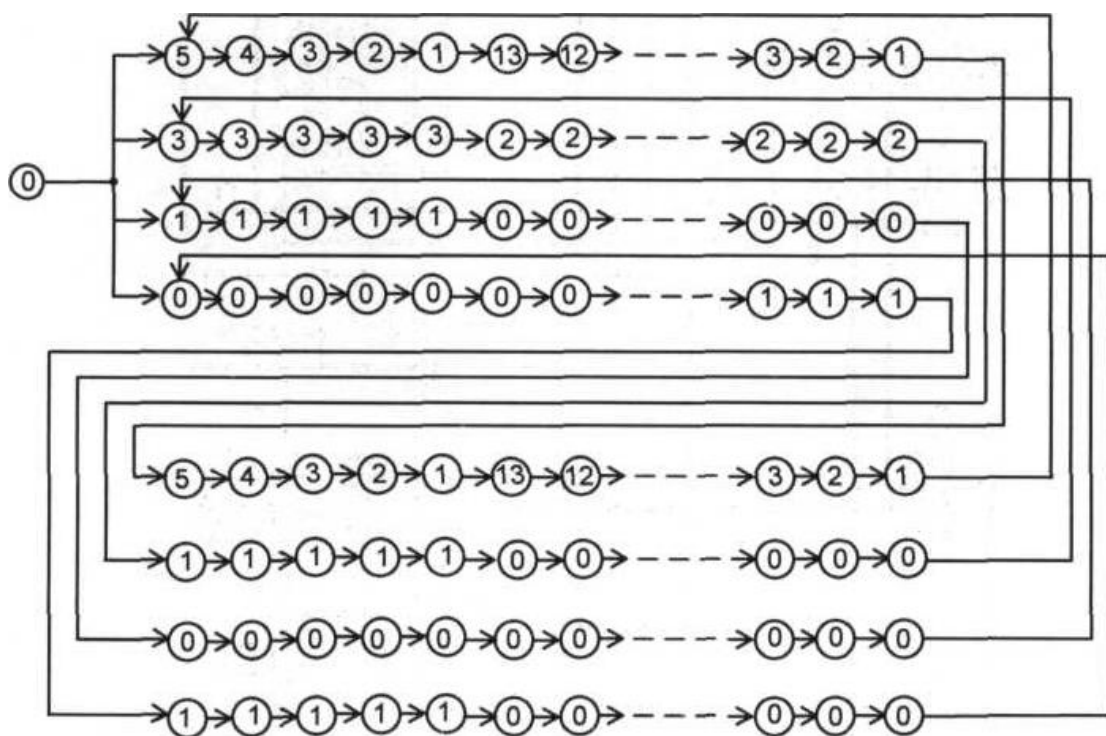


Fig. 2

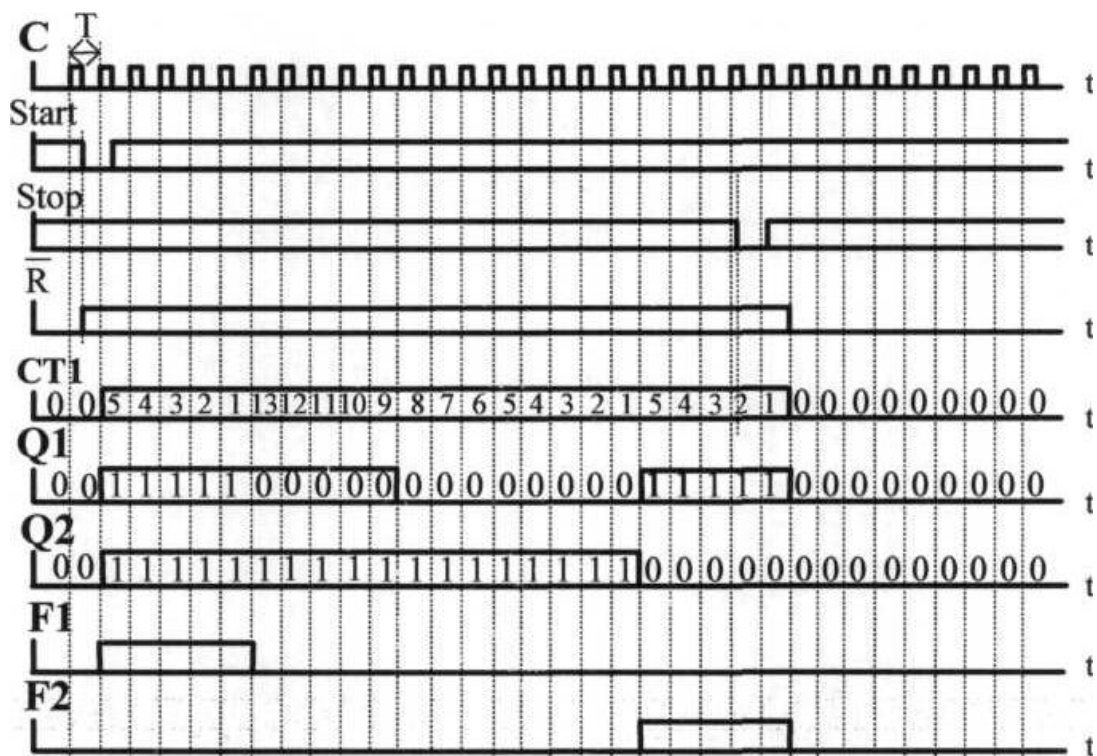


Fig. 3