



УКРАЇНА

(19) UA

(11) 140686

(13) U

(51) МПК

H03K 3/78 (2006.01)

МІНІСТЕРСТВО РОЗВИТКУ
ЕКОНОМІКИ, ТОРГІВЛІ ТА
СІЛЬСЬКОГО ГОСПОДАРСТВА
УКРАЇНИ

(12) ОПИС ДО ПАТЕНТУ НА КОРИСНУ МОДЕЛЬ

(21) Номер заявки: **u 2019 08215**

(22) Дата подання заявки: **15.07.2019**

(24) Дата, з якої є чинними
права на корисну
модель: **10.03.2020**

(46) Публікація відомостей **10.03.2020, Бюл.№ 5**
про видачу патенту:

(72) Винахідник(и):

**Коробков Микола Григорович (UA),
Коробкова Олена Миколаївна (UA),
Харченко Вячеслав Сергійович (UA)**

(73) Власник(и):

**НАЦІОНАЛЬНИЙ АЕРОКОСМІЧНИЙ
УНІВЕРСИТЕТ ІМ. М.Є. ЖУКОВСЬКОГО
"ХАРКІВСЬКИЙ АВІАЦІЙНИЙ ІНСТИТУТ",
вул. Чкалова, 17, м. Харків, 61070 (UA)**

(54) ФОРМУВАЧ ПЕРІОДИЧНОЇ ПОСЛІДОВНОСТІ ДВОІМПУЛЬСНИХ КОДОВИХ СЕРІЙ З НАЛАШТОВАНИМИ ЧАСОВИМИ ПАРАМЕТРАМИ

(57) Реферат:

Формувач містить: реверсивний двійковий лічильник, налаштований на режим віднімання, який має вхід подачі тактових імпульсів С, вхід налаштування на режим підсумовування/віднімання U, вхід дозволу синхронного паралельного завантаження L і входи подачі даних при завантаженні, вхід дозволу режиму лічби Е, вхід асинхронної установки у нульовий стан R, вихід переповнення P₄; перший і другий RS-тригери, JK-тригер зі входом асинхронної установки нуля; чотирирозрядний цифровий компаратор, який має першу групу входів, другу групу входів і перший, другий, третій керуючі входи I; перший, другий, третій і четвертий двовходові елементи I; двовходовий елемент АБО; чотириходовий елемент АБО; перший і другий інвертори; перший, другий, третій і четвертий резистори; кнопки Start и Stop, що працюють на замикання; конденсатор.

UA 140686 U

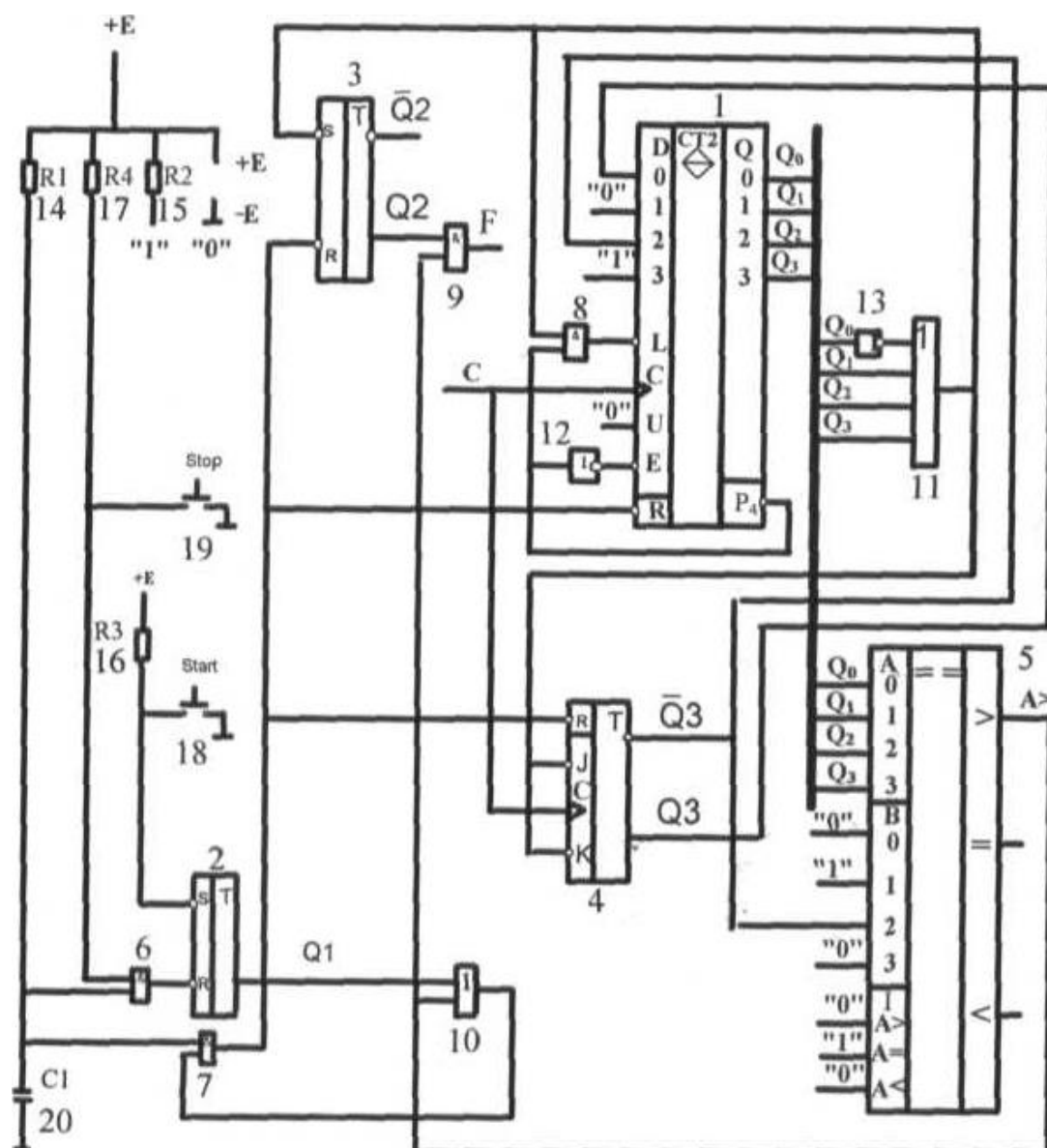


Fig. 1

Корисна модель належить до імпульсної техніки і призначена для формування періодичної послідовності двоімпульсних кодових серій з налаштованою тривалістю імпульсів, періоду проходження і затримки початку формування відносно стартового імпульсу, кратними періоду безперервної періодичної послідовності імпульсів, що подаються на його вхід з виходу зовнішнього кварцового генератора.

Відомі формувачі, які містять задаючий кварцовий генератор, що працює в безперервному режимі, пристрій синхронізації і вихідний пристрій, що забезпечує формування необхідних серій імпульсів, часові параметри яких визначаються часовими параметрами імпульсів, що подаються на вхід [Тактовий генератор. А.С. СРСР № 307502. - Б.В. № 20, 1971; Тактовий генератор. А.С. СРСР № 354544. - Б.В. № 30, 1972].

Недолік відомих пристроїв - обмежені функціональні можливості, обумовлені налаштуванням на фіксований режим часових параметрів вихідної послідовності імпульсів.

Відомі формувачі періодичної послідовності імпульсів з програмованою тривалістю і фіксованою шпаруватістю [патенти України на корисну модель 93714, 93715, 93716, 937118, 93734, 93735, 93738].

Недолік цих пристроїв - складність їх виготовлення і, як наслідок, висока споживча потужність, висока вартість, які обумовлені необхідністю використання двох реверсивних лічильників.

Як найближчий аналог вибрано формувач періодичної послідовності двоімпульсних кодових серій з налаштованими часовими параметрами [патент на корисну модель України № 93714, бюл. № 19, 2014], який містить: спільне джерело живлення ($\pm E$); реверсивний двійковий лічильник, налаштований на режим віднімання, зі входом дозволу синхронного паралельного завантаження і входами подачі змінних, що завантажуються (забезпечують налаштування формувача на задані часові параметри вихідних імпульсів), входом дозволу режиму лічби і входом асинхронної установки у нульовий стан, виходом переповнення; JK-тригер зі входом асинхронної установки у нульовий стан; перший і другий елементи І; двовходовий і чотиривходовий елементи АБО; два інвертора; ланцюжок, що складається з послідовно з'єднаних резистора і конденсатора, підключеного до спільного джерела живлення, загальна точка яких з'єднана з першими входами першого і другого елементів І; вихід другого елемента І з'єднаний зі входом асинхронної установки лічильника у нульовий стан; виходи другого, третього і четвертого розрядів лічильника з'єднано зі входами чотиривходового елемента АБО; вхід першого інвертора з'єднано з виходом переповнення лічильника; тактовий вхід лічильника утворює вхід формувача, на який надходить безперервна періодична послідовність імпульсів з виходу зовнішнього кварцового генератора,

Недолік відомого пристрою - обмежені функціональні можливості.

В основу корисної моделі поставлена задача розширення функціональних можливостей формувача періодичної послідовності двоімпульсних кодових серій з налаштованими часовими параметрами.

Поставлена задача вирішується тим, що в формувач періодичної послідовності двоімпульсних кодових серій з налаштованими часовими параметрами, який містить: спільне джерело живлення ($\pm E$); реверсивний двійковий лічильник, налаштований на режим віднімання, зі входом дозволу синхронного паралельного завантаження і входами подачі змінних, що завантажуються (забезпечують налаштування формувача на задані часові параметри вихідних імпульсів), входом дозволу режиму лічби і входом асинхронної установки у нульовий стан, виходом переповнення; JK-тригер зі входом асинхронної установки у нульовий стан; перший і другий елементи І; двовходовий і чотиривходовий елементи АБО; два інвертора; ланцюжок, що складається з послідовно з'єднаних резистора і конденсатора, підключеного до спільного джерела живлення, загальна точка яких з'єднана з першими входами першого і другого елементів І; вихід другого елемента І з'єднаний зі входом асинхронної установки лічильника у нульовий стан; виходи другого, третього і четвертого розрядів лічильника з'єднано зі входами чотиривходового елемента АБО; вхід першого інвертора з'єднано з виходом переповнення лічильника; тактовий вхід лічильника утворює вхід формувача, на який надходить безперервна періодична послідовність імпульсів з виходу зовнішнього кварцового генератора, відповідно до корисної моделі введено: перший і другий RS-тригери, цифровий компаратор; третій і четвертий елементи І; перша і друга кнопки, що працюють на замикання; другий, третій і четвертий резистори, перші виводи яких з'єднані з плюсом джерела живлення; другий вивід другого резистора утворює вивід рівня логічної одиниці; другий вивід третього резистора з'єднано зі входом S першого RS-тригера і першим контактом першої кнопки; вхід R першого RS-тригера з'єднано з виходом першого елемента І; вихід першого RS-тригера з'єднано з першим входом двовходового елемента АБО, другий вхід якого з'єднано з виходом компаратора і першим

входом четвертого елемента І; другий вивід четвертого резистора з'єднана з другим входом першого елемента І і першим контактом другої кнопки; другі контакти кнопок з'єднані із загальною точкою (мінусом) джерела живлення; вихід першого інвертора з'єднано зі входом дозволу режиму лічби лічильника; вхід другого інвертора з'єднано з виходом першого (молодшого) розряду лічильника, а його вихід з'єднано з першим входом чотиривходового елемента АБО; вихід чотиривходового елемента АБО з'єднано зі входами J і K JK-тригера, з першим входом третього елемента І і входом установки в одиничний стан другого RS-тригера; тактовий вхід JK-тригера з'єднано зі входом формувача; другий вхід третього елемента І з'єднано з виходом переповнення лічильника; прямий вихід другого RS-тригера з'єднано з другим входом четвертого елемента І, вихід якого утворює вихід формувача; перша група входів компаратора з'єднана з виходами відповідних розрядів лічильника; входи асинхронної установки у нульовий стан JK і RS тригерів з'єднано з виходом другого елемента І; при налаштуванні формувача на формування періодичної послідовності двоімпульсних кодових серій, тривалість перших (непарних) імпульсів у якій дорівнює семи періодам тактових імпульсів, тривалість паузи між першими і другими імпульсами дорівнює двом періодам тактових імпульсів, тривалість других (парних) імпульсів дорівнює шести періодам тактових імпульсів, тривалість паузи між другими і першими імпульсами дорівнює шести періодам тактових імпульсів, тобто період проходження двоімпульсних серій дорівнює двадцяти одному періоду тактових імпульсів, затримка початку формування відносно стартового сигналу дорівнює дванадцяти періодам, перший вхід паралельного завантаження лічильника з'єднаний з прямим виходом JK-тригера, другий вхід з'єднано з інверсним виходом JK-тригера; третій вхід з'єднано з рівнем логічної одиниці, четвертий вхід з'єднано з рівнем логічного нуля, перший і четвертий входи другої групи входів компаратора з'єднано з рівнем логічного нуля, другий вхід з'єднано з рівнем логічної одиниці, третій вхід з'єднано з інверсним виходом JK-тригера, перший і третій керуючі входи компаратора з'єднано з рівнем логічного нуля, другий керуючий вхід з'єднано з рівнем логічної одиниці.

Суть корисної моделі пояснюють креслення, де на фіг. 1 представлена схема формувача.

Формувач містить: реверсивний двійковий лічильник (1), який має вхід подачі тактових імпульсів С, вхід налаштування на режим підсумовування/віднімання U, вхід дозволу синхронного паралельного завантаження L і входи подачі даних при завантаженні D₀, D₁, D₂, D₃, вхід дозволу режиму лічби E, вхід асинхронної установки у нульовий стан R, вихід переповнення P₄; перший (2) і другий (3) асинхронні RS-тригери JK-тригер (4) зі входом асинхронної установки нуля R; чотирирозрядний цифровий компаратор (5), який має першу групу входів A₀, A₁, A₂, A₃, другу групу входів B₀, B₁, B₂, B₃, перший, другий і третій керуючі входи І; перший (6), другий (7), третій (8) і четвертий (9) двовходові елементи І; двовходовий елемент АБО (10); чотиривходовий елемент АБО (11); перший (12) і другий (13) інвертори; перший R1 (14), другий R2 (15), третій R3 (16) і четвертий R4 (17) резистори; кнопки Start (18) и Stop (19), що працюють на замикання; конденсатор C1 (20).

Загальна точка ланцюжка, що складається з послідовно з'єднаних резистора 14 і конденсатора 20, підключена до спільного джерела живлення ($\pm E$), з'єднана з першими входами першого (6) і другого (7) елементів І. Вихід елемента 6 з'єднано зі входом R тригера 2. Вихід елемента 7 з'єднано зі входом асинхронної установки лічильника (1 і тригерів (3, 4) у нульовий стан.

Виходи другого (Q₁), третього (Q₂) і четвертого (Q₃) розрядів лічильника з'єднано зі входами чотиривходового елемента АБО (11). Вхід інвертора 12 з'єднано з виходом переповнення (P₄) лічильника, а його вихід з'єднано зі входом дозволу режиму лічби (E). Тактовий вхід лічильника утворює вхід формувача (С), на який надходить безперервна періодична послідовність імпульсів з виходу зовнішнього кварцового генератора. Другий вивід резистора 15 утворює вивід рівня логічної одиниці "1". Другий вивід резистора 16 з'єднано зі входом S тригера 2 і першим контактом кнопки Start. Другий вивід резистора 17 з'єднана зі входом елемента 6 і першим контактом кнопки Stop. Другі контакти кнопок з'єднані із загальною точкою джерела живлення (-E). Вхід інвертора 13 з'єднано з виходом першого (Q₀) розряду лічильника, а його вихід з'єднано з першим входом елемента 11. Вихід елемента 11 з'єднано зі входом елемента 8, входами J і K тригера 4 і входом S тригера 3. Другий вхід елемента 8 з'єднано з виходом переповнення лічильника. Прямий вихід тригера 3 з'єднано з першим входом елемента 9, другий вхід якого з'єднано з виходом A>B компаратора і з другим входом елемента 10, вихід елемента 9 утворює вихід формувача F.

Вхід D₀ лічильника з'єднано з прямим виходом (Q₃) тригера 4. Вхід D₁ лічильника з'єднано з рівнем логічного нуля "0" (з мінусом джерела живлення). Вхід D₂ з'єднано з інверсним виходом ($\overline{Q_3}$) тригера 4. Вхід D₃ з'єднано з рівнем логічної одиниці "1". Перша група входів (A₀, A₁, A₂,

А₃) компаратора (5) з'єднана з виходами відповідних розрядів (Q₀, Q₁, Q₂, Q₃) лічильника. Перший (В₀) вхід другої групи входів компаратора з'єднано з рівнем логічного нуля, другий (В₁) вхід з'єднано з рівнем логічної одиниці, третій (В₂) - з інверсним виходом ($\overline{Q_3}$) тригера 4, четвертий (В₃) - з рівнем логічного нуля "0". Перший і третій керуючі входи (1) компаратора з'єднано з рівнем логічного нуля "0", другий керуючий вхід з'єднано з рівнем логічної одиниці "1" (з другим виводом резистора 13).

Працює формувач в наступній послідовності.

Наявність ланцюжка, що складається із сполучених послідовно резистора 14 і конденсатора 20, підключеного до шини живлячої напруги $\pm E$, при включенні джерела живлення протягом певного проміжку часу (визначеного сталою часу ланцюга R₁C₁) формує рівень логічного нуля на входах елементів 6, 7, забезпечуючи формування рівня логічного нуля на їх виходах, приєднаних до входу асинхронної установки у нульовий стан тригерів і лічильника. Після закінчення перехідного процесу, пов'язаного з включенням джерела живлення, тригери і лічильник переходять у нульовий стан, формуючи рівень логічного нуля відповідно: на виході А> компаратора, на виході переповнення лічильника, що веде до формування рівня логічного нуля на вході елемента 8 (забезпечує нульове значення на вході L лічильника) на виході елементів 10, 7 (на входах R лічильника забезпечує його нульовий стан і по закінченню перехідного процесу, пов'язаного з зарядом конденсатора 20, коли напруга на ньому перевищить рівень логічного нуля). Оскільки сигнал на вході R має пріоритет по відношенню до усіх других управляючих сигналів на входах лічильника, то до тих пір, поки на входах елементів 10, 7 (а отже і на їх виходах) буде зберігатися рівень логічного нуля, то при надходженні тактових імпульсів нульовий стан лічильника, тригерів і нульове значення сигналу на виході формувача буде залишатися незмінним.

При натисненні кнопки Start на вході S тригера 2 формується рівень логічного нуля, що веде до його переходу в одиничний стан (Q₁=1), формуючи рівень логічної одиниці на виході елемента 10, а отже на вході і виході елемента 7 (на вході R лічильника), знімає блокування нульового стану, і тоді нульове значення на вході дозволу синхронного паралельного завантаження лічильника підготовлює його до прийому інформації з його входів синхронного паралельного завантаження (D₃D₂D₁D₀=1100). І тоді при надходженні першого (після закінчення перехідного процесу, пов'язаного з запуском) тактового імпульсу С по його фронту відбувається паралельне завантаження. Лічильник переходить у стан Q₃Q₂Q₁Q₀=1100. В результаті цього переходу на виході переповнення лічильника і виході елемента 8 формується одиничне, а на виході інвертора 12 (на вході E лічильника) - нульове значення, що веде до заборони паралельного завантаження і дозволу режиму лічби лічильника. Нульовий стан тригера 3 залишається незмінним, що забезпечує нульове значення сигналу на виході незалежно від співвідношення значення на входах першої і другої групи компаратора. При надходженні наступних тактових імпульсів вміст лічильника зменшується. При цьому, до тих пір, поки вміст лічильника буде перевищувати одиничне значення, одиничне значення на виході елемента 11 залишається незмінним, що забезпечує незмінність нульового значення на прямому виході тригера 3 і на виході формувача. Як тільки вміст лічильника стає рівним 0001 на виході елемента 11 формується рівень логічного нуля, що веде до формування рівня логічного нуля на вході елемента 8 (на вході дозволу завантаження лічильника) і на вході S тригера 3, що веде до його переходу в одиничний стан. І тоді при надходженні наступного тактового імпульсу лічильник переходить в стан Q₃Q₂Q₁Q₀=1001, обумовлений значенням сигналів, сформованих на його входах паралельного завантаження (D₃D₂D₁D₀=1001). На виході компаратора А>В (а також на виході F формувача) починається формування одиничного значення, оскільки значення сигналів на виходах лічильника Q₃Q₂Q₁Q₀ перевищує значення сигналів на входах другої групи сигналів В₃В₂В₁В₀=0010 компаратора. При надходженні наступних тактових імпульсів вміст лічильника зменшується. При цьому до тих пір, поки його вміст буде перевищувати значення, встановлене на входах другої групи компаратора (В₃В₂В₁В₀=0010), значення сигналу на виході формувача буде залишатися рівним 1. Як тільки вміст лічильника стане рівним 0010, значення сигналу на виході компаратора стане рівним 0, що веде до формування нульового значення сигналу на виході формувача. При надходженні наступних тактових імпульсів вміст лічильника продовжує зменшуватися, а значення сигналу на виході залишається рівним 0. Як тільки вміст лічильника стане рівним 0001, значення сигналу на виході елемента 11 стане рівним 0, що веде до дозволу завантаження лічильника і дозволу переходу JK-тригера у наступний (нульовий) стан. При надходженні наступного тактового імпульсу лічильник переходить у стан 1100, а тригер 4 - у нульовий, що веде до формування на входах другої групи компаратора значення В₃В₂В₁В₀=0110 і одиничного значення на виході формувача. При надходженні наступних тактових імпульсів вміст лічильника зменшується. При

цьому до тих пір, поки його вміст буде перевищувати значення, встановлене на входах другої групи компаратора ($V_3V_2V_1V_0=0110$), значення сигналу на виході формувача буде залишатися рівним 1. Як тільки вміст лічильника стане рівним 0110, значення сигналу на виході компаратора стане рівним 0. При надходженні наступних тактових імпульсів вміст лічильника продовжує зменшуватися, а значення сигналу на виході залишається рівним 0 до тих пір, поки вміст лічильника не стане рівним 0001. Як тільки вміст лічильника стане рівним 0001, значення сигналу на виході елемента 11 стане рівним 0, що веде до дозволу завантаження лічильника і дозволу переходу JK-тригера у наступний (одиничний) стан. При надходженні наступного тактового імпульсу лічильник знову переходить у стан 1001, а тригер 4 - в одиничний, що веде до формування на входах другої групи компаратора значення $V_3V_2V_1V_0=0101$ і одиничного значення на виході формувача, починаючи новий цикл формування двоімпульсної кодової серії. При надходженні наступних тактових імпульсів процеси повторюються.

Таким чином, після закінчення перехідного процесу, пов'язаного з запуском, під час вступу на вхід формувача періодичної послідовності імпульсів (з періодом, рівним T) на виході формувача генерується періодична послідовність двоімпульсних кодових серій, тривалість перших (непарних) імпульсів у якій дорівнює чотирьом періодам тактових імпульсів ($t_{n1}=7T$), тривалість паузи між першими і другими імпульсами дорівнює двом періодам ($t_{n1}=2T$), тривалість других (парних) імпульсів дорівнює шести періодам ($t_{n2}=6T$), тривалість паузи між другим і наступним першим імпульсами дорівнює шести періодам ($t_{n2}=6T$), тобто період проходження двоімпульсних серій дорівнює двадцяти одному періоду тактових імпульсів ($T_c=21T$), затримка початку формування відносно стартового сигналу дорівнює дванадцяти періодам ($t_3=12T$).

Зупинка режиму формування вихідної послідовності здійснюється натисненням кнопки Stop, що формує рівень логічного нуля на вході і виході елемента 6, а також на вході R тригера 2, що призводить до переходу його в нульовий стан ($Q_1=0$). Момент натиснення асинхронний по відношенню до імпульсів тактового генератора і до стану лічильника і тригерів.

Якщо в момент натиснення кнопки Stop вміст лічильника менше значення сигналів на входах другої групи сигналів $V_3V_2V_1V_0$ (значення сигналу на виході компаратора $A>B$ дорівнює 0), то при переході тригера 2 в нульовий стан на входах елемента 10 і на його виході буде сформований рівень логічного нуля, обумовлюючи рівень нуля на вході і на виході елемента 7 (на вході R лічильника), що призведе до переходу лічильника в нульовий стан, а отже до припинення режиму генерації.

Якщо в момент натиснення кнопки Stop вміст лічильника більше значення сигналів на входах другої групи сигналів $V_3V_2V_1V_0$, то при переході тригера 2 в нульовий стан одиничне значення на виході елемента 10 залишиться незмінним, оскільки на виході компаратора $A>B$ рівень логічної одиниці. Звідси випливає, що в цьому випадку в момент натиснення кнопки припинення генерації не відбудеться, обумовлюючи тим самим запобігання спотворенню останнього імпульсу в сформованій вихідній послідовності.

При надходженнях кожного чергового імпульсу на вхід формувача С буде відбуватися перехід лічильника, відповідно до алгоритму до тих пір, поки його вміст не стане рівним значенню сигналів на входах другої групи сигналів $V_3V_2V_1V_0$, обумовлюючи рівень нуля на вході і виході і виходах елементів 10,7, що призведе до переходу лічильника в нульовий стан, а отже до припинення режиму генерації. При наступному черговому натисненні кнопки Start, всі процеси повторюються.

На фіг. 2 приведений граф переходів формувача, що складається з чотирьох кілець: верхнє (перше) кільце - значення сигналу на прямому виході другого тригера, друге кільце - граф переходів лічильника, третє кільце - значення сигналу на прямому виході JK-тригера, четверте кільце - значення сигналу на виході формувача.

Оскільки натиснення кнопки Stop асинхронно по відношенню до тактових імпульсів, то тривалість затримки початку формування знаходиться у діапазоні: $12T < t_3 < 13T$.

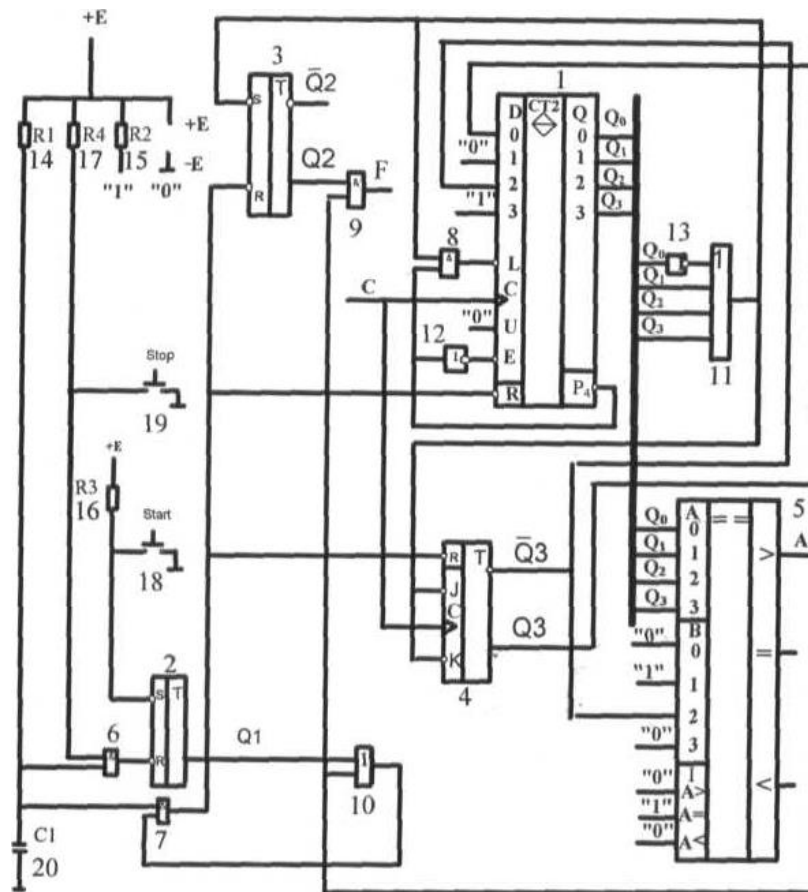
На відміну від відомого пристрою заявлений формувач має новий склад елементів і нову організацію зв'язку між ними, які забезпечують нові технічні властивості.

Технічний результат - розширення його функціональних можливостей формувач і його області використання за рахунок забезпечення затримки початку формування щодо стартового сигналу.

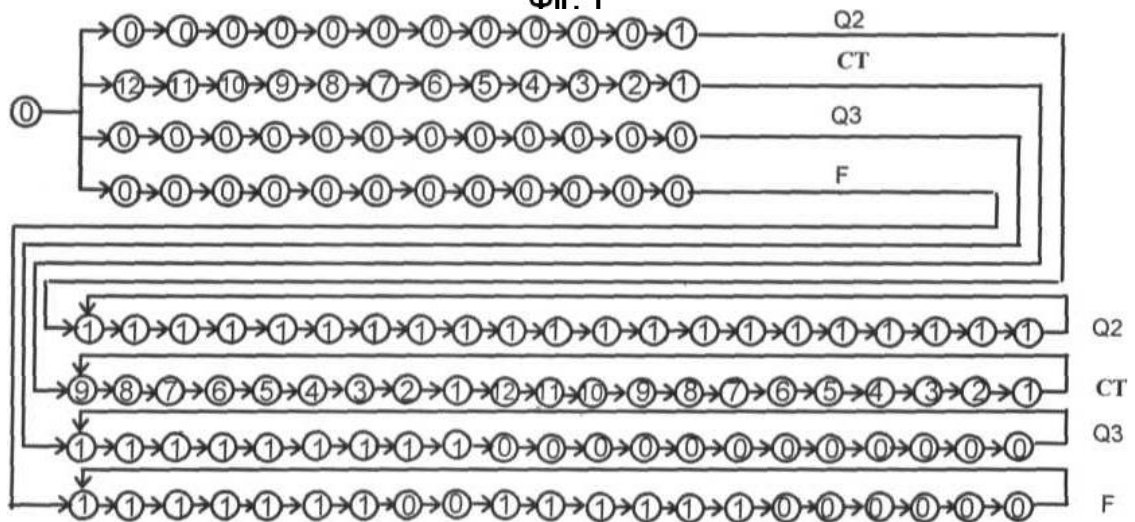
ФОРМУЛА КОРИСНОЇ МОДЕЛІ

Формувач періодичної послідовності двоімпульсних кодових серій з налаштованими часовими параметрами, який містить: спільне джерело живлення ($\pm E$); реверсивний двійковий лічильник,

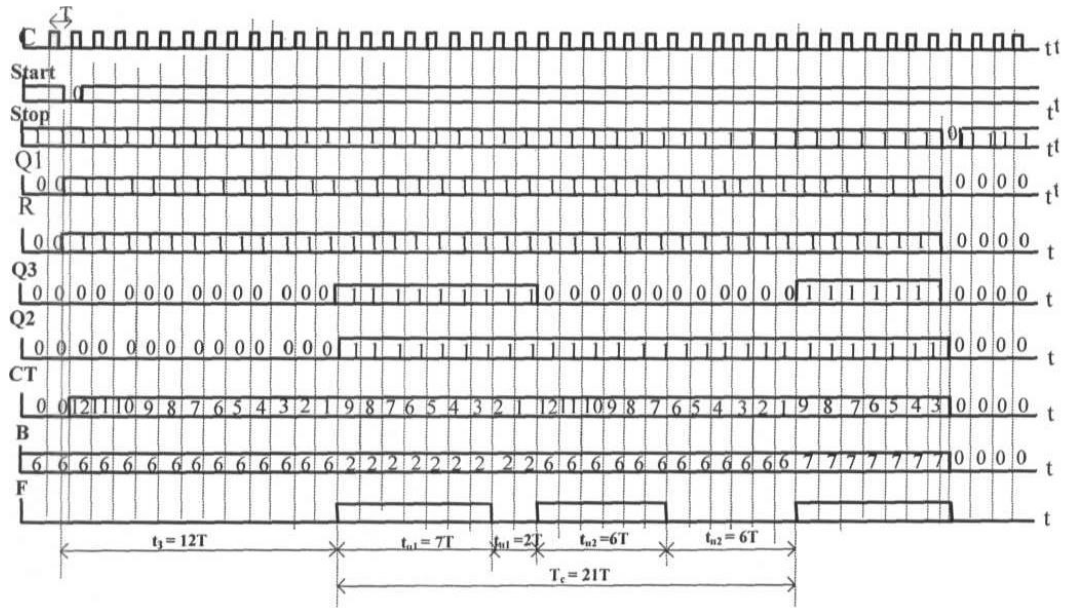
налаштований на режим віднімання, зі входом дозволу синхронного паралельного завантаження і входами подачі змінних, що завантажуються (забезпечують налаштування формувача на задані часові параметри вихідних імпульсів), входом дозволу режиму лічби і входом асинхронної установки у нульовий стан, виходом переповнення; JK-тригер зі входом асинхронної установки у нульовий стан; перший і другий елементи І; двовходовий і чотиривходовий елементи АБО; два інвертори; ланцюжок, що складається з послідовно з'єднаних резистора і конденсатора, підключеного до спільного джерела живлення, загальна точка яких з'єднана з першими входами першого і другого елементів І; вихід другого елемента І з'єднаний зі входом асинхронної установки лічильника у нульовий стан; виходи другого, третього і четвертого розрядів лічильника з'єднано зі входами чотиривходового елемента АБО; вхід першого інвертора з'єднано з виходом переповнення лічильника; тактовий вхід лічильника утворює вхід формувача, на який надходить безперервна періодична послідовність імпульсів з виходу зовнішнього кварцового генератора, який **відрізняється** тим, що перший і другий RS-тригери, цифровий компаратор; третій і четвертий елементи І; перша і друга кнопки, що працюють на замикання: другий, третій і четвертий резистори, перші виводи яких з'єднані з плюсом джерела живлення; другий вивід другого резистора утворює вивід рівня логічної одиниці; другий вивід третього резистора з'єднано зі входом S першого RS-тригера і першим контактом першої кнопки; вхід R першого RS-тригера з'єднано з виходом першого елемента І; вихід першого RS-тригера з'єднано з першим входом двовходового елемента АБО, другий вхід якого з'єднано з виходом компаратора і першим входом четвертого елемента І; другий вивід четвертого резистора з'єднано з другим входом першого елемента І і першим контактом другої кнопки; другі контакти кнопок з'єднані із загальною точкою (мінусом) джерела живлення; вихід першого інвертора з'єднано зі входом дозволу режиму лічби лічильника; вхід другого інвертора з'єднано з виходом першого (молодшого) розряду лічильника, а його вихід з'єднано з першим входом чотиривходового елемента АБО; вихід чотиривходового елемента АБО з'єднано зі входами J і K JK-тригера, з першим входом третього елемента І і входом установки в одиничний стан другого RS-тригера; тактовий вхід JK-тригера з'єднано зі входом формувача; другий вхід третього елемента І з'єднано з виходом переповнення лічильника; прямий вихід другого RS-тригера з'єднано з другим входом четвертого елемента І, вихід якого утворює вихід формувача; перша група входів компаратора з'єднана з виходами відповідних розрядів лічильника; входи асинхронної установки у нульовий стан JK- і RS-тригерів з'єднано з виходом другого елемента І; при налаштуванні формувача на формування періодичної послідовності двоімпульсних кодових серій, тривалість перших (непарних) імпульсів у якій дорівнює семи періодам тактових імпульсів, тривалість паузи між першими і другими імпульсами дорівнює двом періодам тактових імпульсів, тривалість паузи між другими і першими імпульсами дорівнює шести періодам тактових імпульсів, тобто період проходження двоімпульсних серій дорівнює двадцяти одному періоду тактових імпульсів, затримка початку формування відносно стартового сигналу дорівнює дванадцяти періодам, перший вхід паралельного завантаження лічильника з'єднані з прямим виходом JK-тригера, другий вхід з'єднано з інверсним виходом JK-тригера; третій вхід з'єднано з рівнем логічної одиниці, четвертий вхід з'єднано з рівнем логічного нуля, перший і четвертий входи другої групи входів компаратора з'єднано з рівнем логічного нуля, другий вхід з'єднано з рівнем логічної одиниці, третій вхід з'єднано з інверсним виходом JK-тригера, перший і третій керуючі входи компаратора з'єднано з рівнем логічного нуля, другий керуючий вхід з'єднано з рівнем логічної одиниці.



Фиг. 1



Фиг. 2



Фиг. 3

Комп'ютерна верстка В. Мацело

Міністерство розвитку економіки, торгівлі та сільського господарства України,
вул. М. Грушевського, 12/2, м. Київ, 01008, Україна

ДП "Український інститут інтелектуальної власності", вул. Глазунова, 1, м. Київ – 42, 01601