



УКРАЇНА

(19) **UA** (11) **146833** (13) **U**
(51) МПК (2021.01)
G06F 7/00

НАЦІОНАЛЬНИЙ ОРГАН
ІНТЕЛЕКТУАЛЬНОЇ
ВЛАСНОСТІ
ДЕРЖАВНЕ ПІДПРИЄМСТВО
"УКРАЇНСЬКИЙ ІНСТИТУТ
ІНТЕЛЕКТУАЛЬНОЇ
ВЛАСНОСТІ"

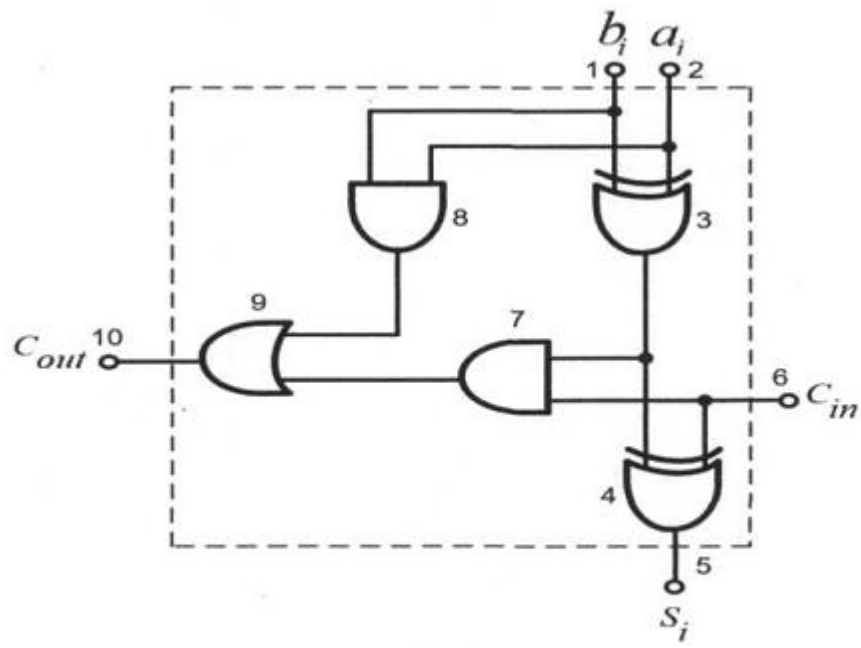
(12) ОПИС ДО ПАТЕНТУ НА КОРИСНУ МОДЕЛЬ

(21) Номер заявки: u 2020 06414	(72) Винахідник(и): Пітух Ігор Романович (UA), Грига Володимир Михайлович (UA), Николайчук Любов Михайлівна (UA), Грига Людмила Петрівна (UA)
(22) Дата подання заявки: 05.10.2020	
(24) Дата, з якої є чинними права інтелектуальної власності: 25.03.2021	
(46) Публікація відомостей про державну реєстрацію: 24.03.2021, Бюл.№ 12	(73) Володілець (володільці): Пітух Ігор Романович, вул. Куліша, 7, кв. 11, м. Бучач, Тернопільська обл., 48000 (UA), Грига Володимир Михайлович, пров. І. Богуна, 12, м. Надвірна, Івано- Франківська обл., 78400 (UA), Николайчук Любов Михайлівна, вул. В. Великого, 14-а, м. Надвірна, Івано- Франківська обл., 78400 (UA), Грига Людмила Петрівна, пров. І. Богуна, 12, м. Надвірна, Івано- Франківська обл., 78400 (UA)

(54) ПОВНИЙ ОДНОРОЗРЯДНИЙ СИНХРОНІЗОВАНИЙ СУМАТОР**(57)** Реферат:

Повний одnorozрядний синхронізований суматор містить перший вхід a_i , який з'єднаний з першим входом першого логічного елемента І та першим входом першого логічного елемента ВИКЛЮЧНЕ АБО, другий вхід повного одnorozрядного суматора b_i з'єднаний з другим входом першого логічного елемента І та другим входом першого логічного елемента ВИКЛЮЧНЕ АБО, вихід якого з'єднаний з першим входом другого логічного елемента ВИКЛЮЧНЕ АБО, вихід якого є першим виходом суми S_i повного одnorozрядного синхронізованого суматора, третій прямий вхід якого C_{in} з'єднаний з другим входом другого логічного елемента ВИКЛЮЧНЕ АБО та першим входом другого логічного елемента І. Містить додатково введені інверсні виходи першого та другого логічних елементів І, які додатково з'єднані між собою та входом додатково введенного D-тригера, С - вхід якого з'єднаний з додатково введеним четвертим входом синхронізації S^x повного одnorozрядного синхронізованого суматора, а прямий та інверсний виходи D-тригера додатково з'єднані з відповідним прямим C_{out} та інверсним \overline{C}_{out} виходами наскрізних переносів повного одnorozрядного синхронізованого суматора.

UA 146833 U



Фиг. 1

Корисна модель належить до засобів обчислювальної техніки і може бути використана як компонент багаторозрядних синхронізованих двійкових суматорів, матричних перемножувачів, арифметико-логічних пристроїв універсальних комп'ютерів, мікроконтролерів та швидкодіючих процесорів опрацювання цифрових даних.

Відомий аналог - двійковий однорозрядний суматор [Карцев М.А. Арифметика цифровых машин /- М.: Наука, 1969, -С.64, рис. 2-4], який містить логічні елементи "І", "АБО", "НІ", перший, другий та третій прямі входи, четвертий, п'ятий та шостий інверсні входи двійкового однорозрядного суматора, які відповідно з'єднані з першими входами групи логічних елементів "І", виходи першої підгрупи логічних елементів "І" з'єднані з відповідними входами логічного елемента "АБО", вихід якого є першим виходом суми двійкового однорозрядного суматора, виходи другої групи логічних елементів "І" з'єднані з відповідними входами другого логічного елемента "АБО", вихід якого з'єднаний з другим прямим виходом переносу двійкового однорозрядного суматора та входом логічного елемента "НІ", вихід якого з'єднаний з третім інверсним виходом переносу двійкового однорозрядного суматора.

Недоліком такого однорозрядного суматора є обмежені функціональні можливості, які обумовлені відсутністю елемента запам'ятовування бітів наскрізних переносів, що не дозволяє застосувати такі однорозрядні суматори у структурах синхронізованих багаторозрядних суматорів та спецпроцесорів.

Відомий найближчий аналог - однорозрядний двійковий суматор [А. Anand Kumar Fundamentals of Digital Circuits / Prentice-Hall of India Pvt.Ltd, 2007 p. 235 fig. 7.4], який містить (фіг. 1) перший вхід a_i , який з'єднаний з першим входом першого логічного елемента "І" та першим входом першого логічного елемента "Виключне АБО", другий вхід однорозрядного суматора b_i з'єднаний з другим входом першого логічного елемента "І" та другим входом першого логічного елемента "Виключне АБО", вихід якого з'єднаний з першим входом другого логічного елемента "Виключне АБО", вихід якого є першим виходом суми S_i однорозрядного суматора, третій прямий вхід якого C_{in} з'єднаний з другим входом другого логічного елемента "Виключне АБО" та першим входом другого логічного елемента "І", другий вхід якого з'єднаний з виходом першого логічного елемента "Виключне АБО", а вихід з'єднаний з першим входом логічного елемента "АБО", другий вхід якого з'єднаний з виходом першого логічного елемента "І", а вихід логічного елемента "АБО" є прямим другим виходом переносу однорозрядного суматора C_{out} .

У відомому суматорі при різних структурних реалізаціях логічних елементів "Виключне АБО", [Шило В.П. Популярные цифровые микросхемы: Справочник.- МБ Радио и связь, 1988 г, - С. 57, рік. 1.35], які містять від 4 до 5 логічних елементів, 3 з яких з'єднані послідовно і затримка сигналів складає не менше 3 мікротактів.

Іншим недоліком такого однорозрядного суматора є велика апаратна складність, яка обумовлена тим, що його структура містить відповідно 11-13 логічних елементів.

Недоліком такого суматора є обмежені функціональні можливості, які обумовлені відсутністю елемента запам'ятовування бітів наскрізних переносів, що не дозволяє застосувати такі однорозрядні суматори у структурах синхронізованих багаторозрядних суматорів та спецпроцесорів.

В основу корисної моделі поставлена задача зменшення апаратної складності, підвищення швидкодії формування вихідних сигналів та розширення функціональних можливостей шляхом додаткового введення в його структуру синхронізованого D-тригера, логічних елементів "І-НІ" та формування парафазних сигналів прямого C_{out} та інверсного C_{out} сигналів вихідних наскрізних переносів.

Поставлена задача вирішується тим, що повний однорозрядний синхронізований суматор містить перший вхід a_i , який з'єднаний з першим входом першого логічного елемента "І" та першим входом першого логічного елемента "Виключне АБО", другий вхід повного однорозрядного суматора b_i з'єднаний з другим входом першого логічного елемента "І" та другим входом першого логічного елемента "Виключне АБО", вихід якого з'єднаний з першим входом другого логічного елемента "Виключне АБО", вихід якого є першим виходом суми S_i повного однорозрядного синхронізованого суматора, третій прямий вхід якого C_{in} з'єднаний з другим входом другого логічного елемента "Виключне АБО" та першим входом другого логічного елемента "І". Містить додатково введені інверсні виходи першого та другого логічних елементів "І", які додатково з'єднані між собою та входом додатково введенного D-тригера, С - вхід якого з'єднаний з додатково введеним четвертим входом синхронізації S^x повного однорозрядного синхронізованого суматора, а прямий та інверсний виходи D-тригера додатково

з'єднані з відповідним прямим C_{out} та інверсним \overline{C}_{out} виходами наскрізних переносів повного однорозрядного синхронізованого суматора.

Суть корисної моделі пояснюють креслення.

На (фіг.1, 2) на кресленні представлена структура пристрою, який містить: 1,2 - відповідні інформаційні входи a_i та b_i ; 3,4 - відповідно перший та другий логічні елементи "Виключне АБО"; 5 - вихід суми S_i ; 6 - третій вхід суматора наскрізного переносу C_{in} ; 7,8 - відповідно, перший та другий логічні елементи І-НІ; 9-D-тригер; 10 - вхід синхронізації запису S_x ; 11,12 - відповідні, прямий C_{out} та інверсний \overline{C}_{out} другий та третій виходи наскрізних переносів повного однорозрядного синхронізованого суматора.

Пристрій працює наступним чином: при подачі на інформаційні входи суматора a_i (1) та b_i (2) бігів логічних одиниць 1 або 0 на виході першого логічного елемента "Виключне АБО" (3) формуються відповідні сигнали їх логічного опрацювання: "1" якщо на входах a_i та b_i комбінації "01" або "10" та "0", якщо на входах a_i та b_i , комбінація "00" або "11". Отриманий біг "0" або "1" надходить на перший вхід другого логічного елемента "Виключне АБО" (4), на другий вхід якого надходить біг "0" або "1" вхідного наскрізного переносу C_{in} (10). При цьому на виході (5) другого логічного елемента "Виключне АБО" аналогічно формується біт "0" або "1" суми вхідних сигналів суматора S_i (5).

Одночасно, при подачі сигналів "0" або "1" на входи суматора a_i (1), b_i (2) та сигналу вхідного наскрізного переносу C_{in} (6), які подані на відповідні входи логічних елементів "І-НІ" (7 та 8), на їх об'єднаних виходах формується інверсний біт вихідного наскрізного переносу, який фронтом наростання сигналу синхронізації S_x , поданого на С - вхід D-тригера записується у тригер (9), на прямому та інверсному виходах якого формується парафазний сигнал C_{out} (11) та \overline{C}_{out} (12) вихідного наскрізного переносу повного однорозрядного синхронного суматора.

Технічний результат

Запропонований повний однорозрядний синхронізований суматор характеризується зменшеною апаратною складністю у порівнянні з аналогом, оскільки містить 6 логічних елементів та D-тригер, який містить два вентиля. Тобто, зменшення апаратної складності у запропонованому суматорі відповідно складає: $(11 \div 13) / 8 = 1.38 \div 1.6$ разів.

Підвищення швидкодії запропонованого суматора у порівнянні з аналогом, яке обумовлене зменшенням затримок сигналів між входами та виходами суматора відповідно складає:

1) у аналогу $\tau_{ai, bi} \rightarrow S_i = 3 + 3 = 6$ мікротактів; у запропонованому суматорі $\tau_{ai, bi} \rightarrow S_i = 1 + 1 = 2$ мікротакти.

Тобто, підвищення швидкодії формування сигналів суми у вертикальному напрямі складає $6/2=3$ рази

2) затримка формування вихідного сигналу наскрізного переносу $\tau_{ai, bi} \rightarrow C_{out}$: у аналогу складає: $3+2=5$ мікротактів; у запропонованому суматорі $2+2=4$ мікротакти.

Тобто, досягнуте підвищення швидкодії $5/4=1.25$ разів;

3) затримка сигналів горизонтального наскрізного переносу $C_{in} \rightarrow C_{out}$:

у аналогу: 2 мікротакти; у запропонованому суматорі 2 мікротакти.

Тобто, швидкодія такого наскрізного переносу однакова.

4) затримка формування сигналів суми $S_{in} \rightarrow S_i$:

у аналогу складає 3 мікротакти; у запропонованому суматорі 1 мікротакт.

Тобто, досягнуте підвищення швидкодії $3/1=3$ рази

5) затримка сигналів прискореного наскрізного переносу $\tau_{ai, bi} \rightarrow C_{out}$:

у аналогу складає 2 мікротакти; у запропонованому суматорі 2 мікротакти.

Тобто, зниження швидкодії такого наскрізного переносу в одному такті роботи буде однакове.

Таке формування прискореного переносу згідно з п. 5 практично відбувається з ймовірністю $P_1 = 1/8 = 0.125$, при появі комбінації бігів "11" на інформаційних входах a_i , b_i суматора, тобто

фактичне зниження швидкодії цього наскрізного переносу V порівнянні з прототипом складає 12.5 відсотка.

Досягнуте розширення функціональних можливостей повного одно розрядного суматора, введенням у його структуру елемента пам'яті на основі синхронізованого тригера, дозволило синхронізувати роботу обчислювальних структур на основі застосування таких суматорів з

тактовою частотою виконання операцій додавання багаторозрядних чисел із затримкою 4 мікротакти незалежно від розрядності обчислювальних структур.

- Паралельне формування на виходах D - тригера парафазних сигналів наскрізного переносу C_{out} та $\overline{C_{out}}$ розширює можливості сумісного застосування запропонованого
- 5 повного однорозрядного суматора в обчислювальних структурах з прямими та інверсними входами горизонтальних наскрізних переносів, у тому числі з гранично мінімальними затримками сигналів формування суми та переносів на 1 мікротакт.

ФОРМУЛА КОРИСНОЇ МОДЕЛІ

10

Повний однорозрядний синхронізований суматор, що містить перший вхід a_i , який з'єднаний з першим входом першого логічного елемента І та першим входом першого логічного елемента ВИКЛЮЧНЕ АБО, другий вхід повного однорозрядного суматора b_i з'єднаний з другим входом першого логічного елемента І та другим входом першого логічного елемента ВИКЛЮЧНЕ АБО,

15 вихід якого з'єднаний з першим входом другого логічного елемента ВИКЛЮЧНЕ АБО, вихід якого є першим входом суми S_i повного однорозрядного синхронізованого суматора, третій прямий вхід якого C_{in} з'єднаний з другим входом другого логічного елемента ВИКЛЮЧНЕ АБО та першим входом другого логічного елемента І, який **відрізняється** тим, що містить додатково введені інверсні виходи першого та другого логічних елементів І, які додатково з'єднані між собою та входом додатково введенного D-тригера, С - вхід якого з'єднаний з додатково

20 введенням четвертим входом синхронізації S_x повного однорозрядного синхронізованого суматора, а прямий та інверсний виходи D-тригера додатково з'єднані з відповідним прямим C_{out} та інверсним $\overline{C_{out}}$ виходами наскрізних переносів повного однорозрядного синхронізованого суматора.

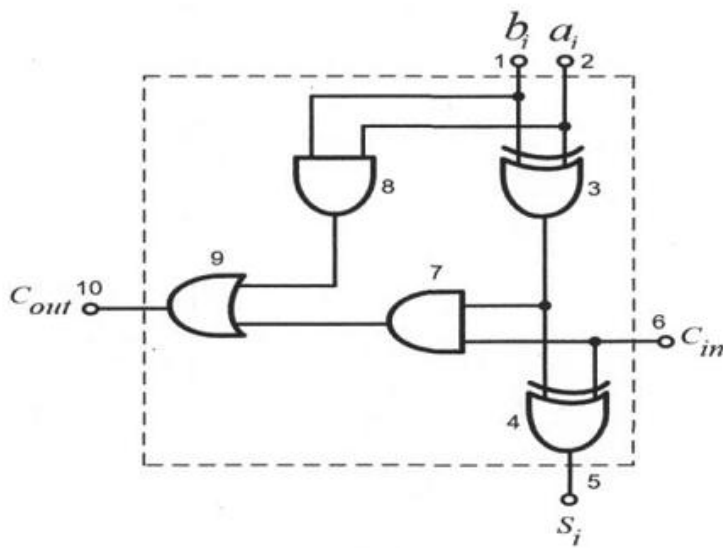
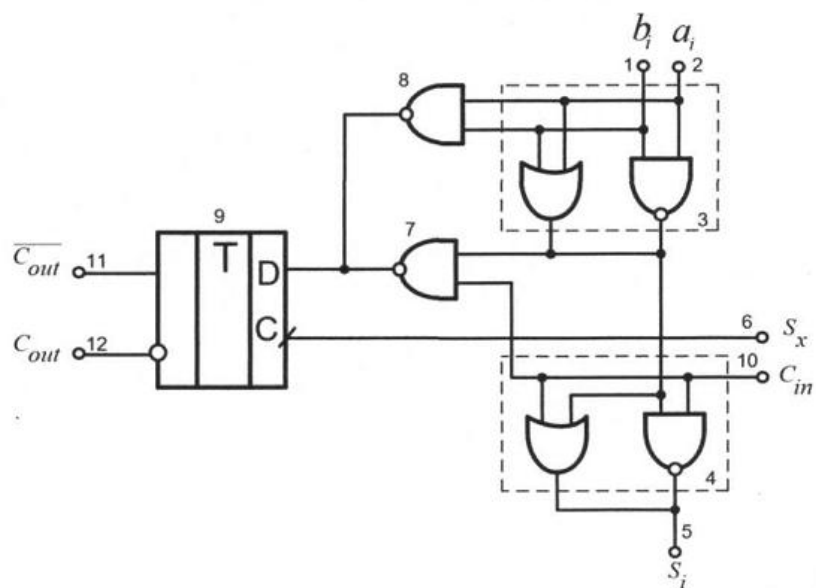


Fig. 1



Фиг. 2