

Повний однорозрядний синхронізований суматор, який містить перший вхід  $a_i$ , який з'єднаний з першим входом першого логічного елемента "І" та першим входом першого логічного елемента "Виключне АБО", другий вхід повного однорозрядного суматора  $b_i$  з'єднаний з другим входом першого логічного елемента "І" та другим входом першого логічного елемента "Виключне АБО", вихід якого з'єднаний з першим входом другого логічного елемента "Виключне АБО" вихід якого є першим виходом суми  $S_i$  повного однорозрядного синхронізованого суматора, третій прямий вхід якого  $C_{in}$  з'єднаний з другим входом другого логічного елемента "Виключне АБО" та першим входом другого логічного елемента "І", який відрізняється тим, що містить додатково введені інверсні виходи першого та другого логічних елементів "І", які додатково з'єднані між собою та входом додатково введеного D - тригера, C - вхід якого з'єднаний з додатково введеним четвертим входом синхронізації  $S_x$  повного однорозрядного синхронізованого суматора, а прямий та інверсний виходи D - тригера додатково з'єднані з відповідним прямим  $C_{out}$  та інверсним  $\bar{C}_{out}$  виходами наскрізних переносів повного однорозрядного синхронізованого суматора.